

SEMICONDUCTOR DEVICE AND MANUFACTURE OF THE SAME

Patent number: JP2000349150

Publication date: 2000-12-15

Inventor: FUKADA SHINICHI; NOJIRI KAZUO; YUNOGAMI TAKASHI; HOTTA SHOJI; AOKI HIDEO; OSHIMA TAKAFUMI; KOBAYASHI NOBUYOSHI

Also published as:

US6340632 (B)

Applicant: HITACHI LTD

Classification:

- international: H01L21/768; H01L21/3205

- european:

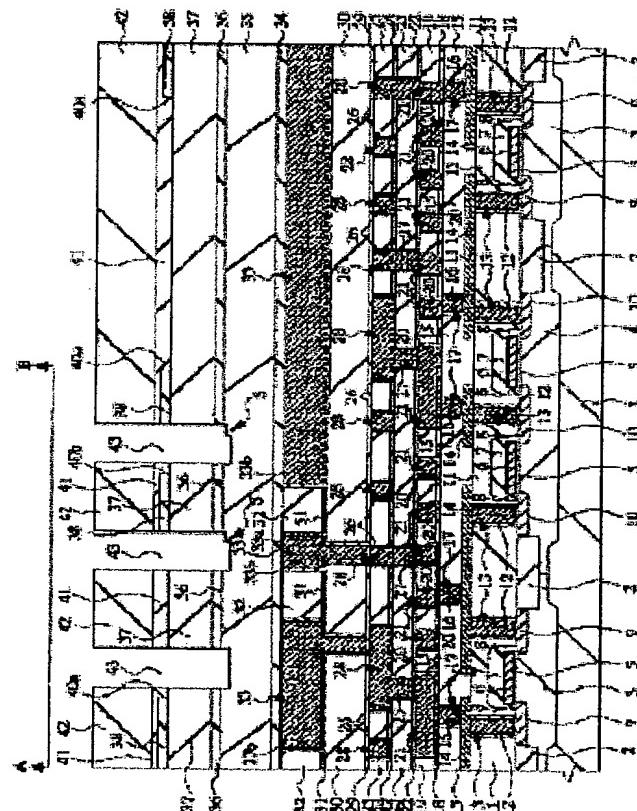
Application number: JP19990158758 19990604

Priority number(s):

Abstract of JP2000349150

PROBLEM TO BE SOLVED: To avoid leaving foreign objects in a dual damascene groove (connection hole) so as to improve a semiconductor device in wiring connection reliability and performance.

SOLUTION: This manufacturing method is carried out through such a manner where insulating films 34 to 38 are successively formed on a fourth wiring layer 33 (insulating films 34, 36, and 38 are formed of silicon nitride, and insulating films 35 and 37 are formed of silicon oxide), and a groove pattern 40 is transferred onto the insulating film 38 through a photolithography method. An anti-reflection film 41 is formed to be filled into the groove pattern 40 cut in the insulating film 38, and a resist film 42 with a hole pattern 43 is formed. An etching operation is carried out using the resist film 42 as a mask, by which the hole pattern 43 is transferred onto the insulating films 38, 37, 36, and 35. Then, the resist film 42 and the anti-reflection 41 are removed off, and the groove pattern 40 and the hole pattern 43 are each transferred onto the insulating films 37 and 35 using the insulating film 38 as a mask.



Data supplied from the **esp@cenet** database - Patent Abstracts of Japan

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-349150
(P2000-349150A)

(43) 公開日 平成12年12月15日 (2000.12.15)

(51) Int.Cl.⁷
H 01 L 21/768
21/3205

識別記号

F I
H 01 L 21/90
21/88

テ-マート⁷ (参考)
B 5 F 0 3 3
K

審査請求 未請求 請求項の数58 O.L. (全49頁)

(21) 出願番号 特願平11-158758

(22) 出願日 平成11年6月4日 (1999.6.4)

(71) 出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地

(72) 発明者 深田 晋一
東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

(72) 発明者 野尻 一男
東京都青梅市新町六丁目16番地の3 株式
会社日立製作所デバイス開発センタ内

(74) 代理人 100080001
弁理士 筒井 大和

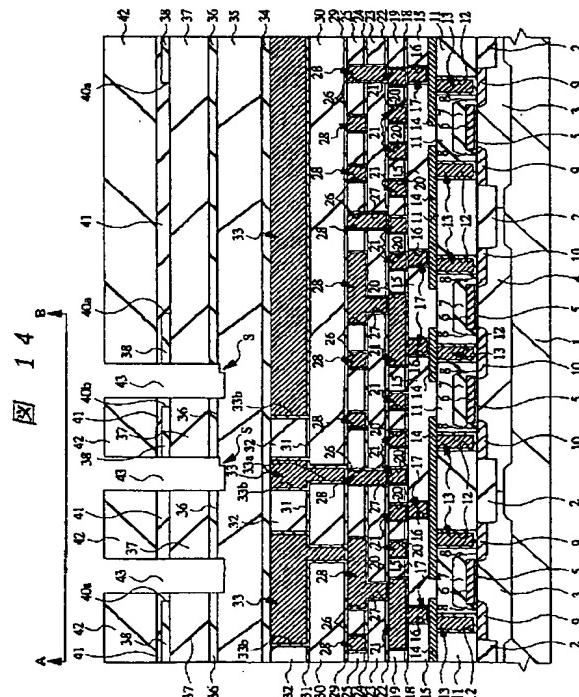
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 デュアルダマシン溝（接続孔）内への異物の残留を回避し、配線接続の信頼性および半導体装置性能の向上を図る。

【解決手段】 第4配線層の配線33上に絶縁膜34～38を順次形成し（絶縁膜34, 36, 38はシリコン窒化膜からなる。絶縁膜35, 37はシリコン酸化膜からなる）、絶縁膜38に溝パターン40をフォトリソグラフィを用いて転写する。絶縁膜38の溝パターン40を埋め込む反射防止膜41を形成し、さらに孔パターン43を有するレジスト膜42を形成する。レジスト膜42の存在下でエッチング処理を施し、絶縁膜38, 37, 36および絶縁膜35の一部に孔パターン43を転写する。その後、レジスト膜42, 反射防止膜41を除去し、絶縁膜38をマスクとして溝パターン40を絶縁膜37に、孔パターン43を絶縁膜35に転写する。



【特許請求の範囲】

- 【請求項 1】 半導体装置の製造方法であって、
 (a) 基板上に第1絶縁層を形成する工程、
 (b) 前記第1絶縁層上に、配線溝を形成する際のエッチングマスクとなる配線溝パターン層を形成する工程、
 (c) 前記配線溝パターン層上に、接続孔を形成する際のエッチングマスクとなる孔パターン層を形成する工程、
 (d) 前記孔パターン層の存在下で、前記配線溝パターン層と前記第1絶縁層とにエッチング処理を施し、前記第1絶縁層に所定の深さの孔パターンを転写する工程、
 (e) 前記孔パターン層を除去する工程、
 (f) 前記配線溝パターン層および孔パターンの存在下でエッチング処理を施し、前記第1絶縁層に配線溝パターンを転写する工程、
 を含むことを特徴とする半導体装置の製造方法。
- 【請求項 2】 一定幅で形成された配線溝と、前記配線溝内に形成された配線と、前記配線とその下層配線とを接続する層間接続部材とを有する半導体装置の製造方法であって、
 (a) 基板上に第1絶縁層を形成する工程、
 (b) 前記第1絶縁層上に、前記配線溝を形成する際のエッチングマスクとなる配線溝パターン層を形成する工程、
 (c) 前記配線溝パターン層上に、前記層間接続部材が形成される接続孔を形成する際のエッチングマスクとなる孔パターン層を形成する工程、
 (d) 前記孔パターン層の存在下でエッチング処理を施し、前記第1絶縁層に所定の深さの孔パターンを転写する工程、
 (e) 前記孔パターン層を除去する工程、
 (f) 前記配線溝パターン層および孔パターンの存在下でエッチング処理を施す工程、
 を含むことを特徴とする半導体装置の製造方法。
- 【請求項 3】 一定幅で形成された配線溝と、前記配線溝内に形成された配線と、前記配線とその下層配線とを接続する層間接続部材とを有する半導体装置の製造方法であって、
 (a) 基板上に第1絶縁層を形成する工程、
 (b) 前記第1絶縁層上に、前記配線溝を形成する際のエッチングマスクとなる配線溝パターン層を形成する工程、
 (c) 前記配線溝パターン層上に、前記層間接続部材が形成される接続孔を形成する際のエッチングマスクとなる孔パターン層を、前記配線溝パターン層のパターン幅と実質的に同一寸法のパターン径で形成する工程、
 (d) 前記孔パターン層の存在下でエッチング処理を施し、前記第1絶縁層に所定の深さの孔パターンを転写する工程、
 (e) 前記孔パターン層を除去する工程、

(f) 前記配線溝パターン層および孔パターンの存在下でエッチング処理を施す工程、
 を含むことを特徴とする半導体装置の製造方法。

【請求項 4】 請求項 2 または 3 記載の半導体装置の製造方法であって、

前記 (d) 工程におけるエッチング処理により、前記配線溝パターン層の一部が前記第1絶縁層とともにエッチングされることを特徴とする半導体装置の製造方法。

【請求項 5】 請求項 1 ~ 4 の何れか一項に記載の半導体装置の製造方法であって、

前記 (d) 工程で前記孔パターンは前記第1絶縁層の下部まで形成され、

前記 (f) 工程で配線溝が形成されることを特徴とする半導体装置の製造方法。

【請求項 6】 請求項 1 ~ 4 の何れか一項に記載の半導体装置の製造方法であって、

前記 (d) 工程で前記孔パターンは前記第1絶縁層の途中までエッチングされ、

前記 (f) 工程で配線溝と接続孔とが形成されることを特徴とする半導体装置の製造方法。

【請求項 7】 請求項 1 ~ 6 の何れか一項に記載の半導体装置の製造方法であって、

前記 (a) 工程の前に、前記第1絶縁層に対してエッチング選択比を有する第2絶縁層を形成する工程を有し、

前記 (f) 工程におけるドライエッチング処理は、前記第2絶縁層のエッチング速度が前記第1絶縁層のエッチング速度よりも小さい条件で行う第1エッチングと、前記第2絶縁層がエッチングされる条件で行う第2エッチングとの2段階エッチングで行われることを特徴とする半導体装置の製造方法。

【請求項 8】 半導体装置の製造方法であって、

(a) 第1ストップ絶縁層、第1絶縁層およびストップ層を順次形成する工程、

(b) 前記ストップ層に配線溝パターンを転写する工程、

(c) 前記 (b) 工程の後、接続孔の孔パターン層を形成する工程、

(d) 前記孔パターン層の存在下で、前記ストップ層および第1絶縁層を除去する条件のエッチング処理を施し、前記第1絶縁層の途中までエッチングして孔パターンを転写する工程、

(e) 前記孔パターン層を除去する工程、

(f) 前記孔パターンおよび前記配線溝パターンが形成された前記ストップ層の存在下でエッチング処理を施し、接続孔および配線溝を形成する工程、
 を含むことを特徴とする半導体装置の製造方法。

【請求項 9】 請求項 1 ~ 8 の何れか一項に記載の半導体装置の製造方法であって、

前記 (c) 工程で、前記孔パターン層はスタックドビア部を開口する形状で構成され、

前記(d)工程で前記孔パターンは前記第1絶縁層の下部まで形成されることを特徴とする半導体装置の製造方法。

【請求項10】 請求項1～9の何れか一項に記載の半導体装置の製造方法であって、

前記(b)工程と(c)工程との間に、平坦化膜を形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項11】 請求項10に記載の半導体装置の製造方法であって、

前記平坦化膜は反射防止膜であることを特徴とする半導体装置の製造方法。

【請求項12】 請求項1～11の何れか一項に記載の半導体装置の製造方法であって、

前記(f)工程で配線溝と接続孔が形成され、その後前記配線溝と接続孔とに導電膜を埋め込み配線と層間接続部材とを形成することを特徴とする半導体装置の製造方法。

【請求項13】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する層間接続部材とを有する半導体装置の製造方法であって、

(a) 第1ストッパ絶縁層、層間絶縁層、第2ストッパ絶縁層、線間絶縁層およびストッパ層を順次形成する工程、

(b) 前記ストッパ層に配線溝パターンを転写する工程、

(c) 前記(b)の後、前記層間接続部材が形成される接続孔の孔パターンマスクを形成する工程、

(d) 前記孔パターンマスクの存在下で、前記線間絶縁層および第2ストッパ絶縁層にエッチング処理を施し、孔パターンを転写する工程、

(e) 前記孔パターンマスクを除去する工程、

(f) 前記孔パターンおよび前記配線溝パターンが形成された前記ストッパ層の存在下でエッチング処理を施す工程、を含むことを特徴とする半導体装置の製造方法。

【請求項14】 請求項13記載の半導体装置の製造方法であって、

前記(b)工程の配線溝パターンの転写後、前記配線溝パターンの形成に使用されたレジスト層が除去され、前記ストッパ層上に直接、前記孔パターンマスクが形成されることを特徴とする半導体装置の製造方法。

【請求項15】 請求項13または14記載の半導体装置の製造方法であって、

前記(f)工程におけるエッチング処理は、前記孔パターン領域においては前記第1ストッパ絶縁層で、前記配線溝パターン領域においては前記第2ストッパ絶縁層で、加工が終了または停止することを特徴とする半導体装置の製造方法。

【請求項16】 請求項13、14または15記載の半導体装置の製造方法であって、

前記第1および第2ストッパ絶縁層ならびにストッパ層は、シリコン窒化膜からなることを特徴とする半導体装置の製造方法。

【請求項17】 請求項16記載の半導体装置の製造方法であって、

前記ストッパ層の膜厚は、前記第1および第2ストッパ絶縁層の膜厚よりも厚いことを特徴とする半導体装置の製造方法。

【請求項18】 請求項13～17の何れか一項に記載の半導体装置の製造方法であって、

前記孔パターンマスクがレジストマスクであることを特徴とする半導体装置の製造方法。

【請求項19】 請求項13～18の何れか一項に記載の半導体装置の製造方法であって、

前記(f)工程の後に、前記ストッパ層を除去する工程を有することを特徴とする半導体装置の製造方法。

【請求項20】 請求項15に記載の半導体装置の製造方法であって、

前記(f)工程の後に、前記ストッパ層、前記第1ストッパ層及び前記第2ストッパ層を除去する工程を有し、その後、前記配線溝と接続孔に導電膜を埋め込み前記配線と層間接続部材とを形成することを特徴とする半導体装置の製造方法。

【請求項21】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する層間接続部材とを有する半導体装置の製造方法であって、

(a) 第1ストッパ絶縁層、第1絶縁層およびストッパ層を順次形成する工程、

(b) 前記ストッパ層に配線溝パターンを転写する工程、

(c) 前記層間接続部材が形成される接続孔の孔パターンマスクを形成する工程、

(d) 前記孔パターンマスクの存在下で、前記ストッパ層および第1絶縁層にエッチング処理を施し、前記第1絶縁層の途中までエッチングして孔パターンを転写する工程、

(e) 前記孔パターンマスクを除去する工程、

(f) 前記孔パターンおよび前記配線溝パターンが形成された前記ストッパ層の存在下でエッチング処理を施し、接続孔および配線溝を形成する工程、を含むことを特徴とする半導体装置の製造方法。

【請求項22】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する層間接続部材とを有する半導体装置の製造方法であって、

(a) 第1ストッパ絶縁層、第1層間絶縁層、マーカ絶縁層、第2層間絶縁層およびストッパ層を順次形成する工程、

(b) 前記ストッパ層に配線溝パターンを転写する工程、

(c) 前記層間接続部材が形成される接続孔の孔パターンマスクを形成する工程、

ンマスクを形成する工程、

(d) 前記孔パターンマスクの存在下で、前記第2層間絶縁層およびマーカ絶縁層にエッチング処理を施し、孔パターンを転写する工程、

(e) 前記孔パターンマスクを除去する工程、

(f) 前記孔パターンおよび前記配線溝パターンが形成された前記ストップ層の存在下でエッチング処理を施し、接続孔および配線溝を形成する工程を含み、前記(d)工程におけるエッチング処理の終点を前記マーカ絶縁層に含まれる元素のプラズマ発光により検出し、

前記(f)工程における前記孔パターンのエッチング処理の終点を前記第1ストップ絶縁層に達する点で決定することを特徴とする半導体装置の製造方法。

【請求項23】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する層間接続部材とを有する半導体装置の製造方法であって、

(a) 第1層間絶縁層、マーカ絶縁層、第2層間絶縁層およびストップ層を順次形成する工程、

(b) 前記ストップ層に配線溝パターンを転写する工程、

(c) 前記層間接続部材が形成される接続孔の孔パターンマスクを形成する工程、

(d) 前記孔パターンマスクの存在下で、前記第2層間絶縁層およびマーカ絶縁層にエッチング処理を施し、孔パターンを転写する工程、

(e) 前記孔パターンマスクを除去する工程、

(f) 前記孔パターンおよび前記配線溝パターンが形成された前記ストップ層の存在下でエッチング処理を施し、接続孔および配線溝を形成する工程を含み、

前記(f)工程における溝パターンのエッチング処理の終点を前記マーカ絶縁層に含まれる元素のプラズマ発光により検出することを特徴とする半導体装置の製造方法。

【請求項24】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する層間接続部材とを有する半導体装置の製造方法であって、

(a) 第1ストップ絶縁層、第1層間絶縁層、第2ストップ絶縁層、第2層間絶縁層、マーカ絶縁層、第3層間絶縁層およびストップ層を順次形成する工程、

(b) 前記ストップ層に配線溝パターンを転写する工程、

(c) 前記層間接続部材が形成される接続孔の孔パターンマスクを形成する工程、

(d) 前記孔パターンマスクの存在下で、前記第3層間絶縁層、マーカ絶縁層、第2層間絶縁層および第2ストップ絶縁層にエッチング処理を施し、孔パターンを転写する工程、

(e) 前記孔パターンマスクを除去する工程、

(f) 前記孔パターンおよび前記配線溝パターンが形成

された前記ストップ層の存在下でエッティング処理を施し、接続孔および配線溝を同時に形成する工程を含み、前記(f)工程における溝パターンのエッティング処理の終点を前記マーカ絶縁層に含まれる元素のプラズマ発光により検出することを特徴とする半導体装置の製造方法。

【請求項25】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する層間接続部材とを有する半導体装置の製造方法であって、

(a) 第1層間絶縁層、第2層間絶縁層およびストップ層を順次形成する工程、

(b) 前記ストップ層に配線溝パターンを転写する工程、

(c) 前記層間接続部材が形成される接続孔の孔パターンマスクを形成する工程、

(d) 前記孔パターンマスクの存在下で、前記ストップ層および第2層間絶縁層にエッティング処理を施し、孔パターンを転写する工程、

(e) 前記孔パターンマスクを除去する工程、

(f) 前記孔パターンおよび前記配線溝パターンが形成された前記ストップ層の存在下でエッティング処理を施し、接続孔および配線溝を同時に形成する工程を含み、前記第1層間絶縁層と第2層間絶縁層とは互いにエッティング速度の異なる材料からなり、前記(f)工程における溝パターンのエッティング処理の終点を前記第2層間絶縁層に達する点で決定することを特徴とする半導体装置の製造方法。

【請求項26】 一定幅で形成された配線溝と、前記配線溝内に形成された配線と、前記配線とその下層配線とを接続する層間接続部材とを有する半導体装置の製造方法であって、

(a) 基板上に第1絶縁層を形成する工程、

(b) 前記第1絶縁層上に、前記配線溝を形成する際のエッティングマスクとなる配線溝パターン層を形成する工程、

(c) 前記配線溝パターン層上に、前記層間接続部材が形成される接続孔を形成する際のエッティングマスクとなる孔パターン層を形成する工程、

(d) 前記孔パターン層の存在下で、前記配線溝パターン層のエッティング速度が前記第1絶縁層のエッティング速度よりも遅い条件でエッティング処理を施し、前記第1絶縁層に所定の深さの孔パターンを転写する工程、

(e) 前記孔パターン層を除去する工程、

(f) 前記配線溝パターン層および孔パターンの存在下でエッティング処理を施す工程、

を含むことを特徴とする半導体装置の製造方法。

【請求項27】 請求項26記載の半導体装置の製造方法であって、

前記配線溝パターン層の幅方向の前記孔パターンの径寸法が前記溝パターン層の幅寸法より大きいことを特徴と

する半導体装置の製造方法。

【請求項28】 請求項1～27の何れか一項に記載の半導体装置の製造方法であって、さらに、

(g) 基板全面にバリア金属層および銅層を形成する工程、

(h) 前記(f)工程のエッチング処理により形成される配線溝および接続孔の内部以外の領域の前記バリア金属層および銅層を化学機械研磨法により除去する工程、を含むことを特徴とする半導体装置の製造方法。

【請求項29】 請求項28記載の半導体装置の製造方法であって、

前記(h)工程において前記配線溝パターン層またはストッパ層が除去されることを特徴とする半導体装置の製造方法。

【請求項30】 請求項29記載の半導体装置の製造方法であって、前記配線溝パターン層もしくはストッパ層、または、前記配線溝パターン層もしくはストッパ層をパターニングするためのマスク層が導電性の材料で構成されることを特徴とする半導体装置の製造方法。

【請求項31】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する層間接続部材とを有する半導体装置の製造方法であって、

(a) 第1絶縁層およびストッパ層を順次形成する工程、

(b) 前記ストッパ層に配線溝パターンを転写する工程、

(c) 前記層間接続部材が形成される接続孔の孔パターンマスクを形成する工程、

(d) 前記孔パターンマスクの存在下で、前記ストッパ層および第1絶縁層の一部に第1エッチング処理を施し、孔パターンを転写する工程、

(e) 前記孔パターンマスクを除去する工程、

(f) 前記孔パターンおよび前記配線溝パターンが形成された前記ストッパ層の存在下で第2エッチング処理を施し、接続孔および配線溝を形成する工程を含み、

前記第1または第2エッチング処理の何れかまたは両方で、前記ストッパ層および第1絶縁層の稜部がエッチングされることを特徴とする半導体装置の製造方法。

【請求項32】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する層間接続部材とを有する半導体装置の製造方法であって、

(a) 第1絶縁層およびストッパ層を順次形成する工程、

(b) 前記ストッパ層に配線溝パターンを転写する工程、

(c) 前記層間接続部材が形成される接続孔の孔パターンマスクを形成する工程、

(d) 前記孔パターンマスクの存在下で、前記第1絶縁層の一部に第1エッチング処理を施し、孔パターンを転写する工程、

(e) 前記孔パターンマスクを除去する工程、

(f) 前記孔パターンおよび前記配線溝パターンが形成された前記ストッパ層の存在下で第2エッチング処理を施し、接続孔および配線溝を形成する工程を含み、前記第1または第2エッチング処理の少なくとも何れかの処理において、前記ストッパ層の端部がエッチングされることを特徴とする半導体装置の製造方法。

【請求項33】 請求項31または32記載の半導体装置の製造方法であって、さらに、

(g) 基板全面にバリア金属層および銅層を形成する工程、

(h) 前記配線溝および接続孔の内部以外の領域の前記バリア金属層および銅層を化学機械研磨法により除去する工程、を含み、

前記(h)工程において、前記配線溝上部に位置する前記銅層およびバリア金属層の一部、前記ストッパ層、ならびに前記第1絶縁層の表面部が除去されることを特徴とする半導体装置の製造方法。

【請求項34】 請求項33記載の半導体装置の製造方法であって、

前記銅層は、シード層として機能する第1銅層と、メッキ法により形成される第2銅層とで構成されることを特徴とする半導体装置の製造方法。

【請求項35】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する層間接続部材とを有する半導体装置の製造方法であって、

(a) 前記下層配線上に、第1絶縁層およびストッパ層を順次形成する工程、

(b) 前記ストッパ層に配線溝パターンを転写する工程、

(c) 前記層間接続部材が形成される接続孔の孔パターンマスクを形成する工程、

(d) 前記孔パターンマスクの存在下で、前記第1絶縁層にエッチング処理を施し、孔パターンを転写する工程、

(e) 前記孔パターンマスクを除去する工程、

(f) 前記孔パターンおよび前記配線溝パターンが形成された前記ストッパ層の存在下で第2エッチング処理を施し、接続孔および配線溝を形成する工程を含み、

前記(c)工程の孔パターンマスクは、前記下層配線に合わせて形成されることを特徴とする半導体装置の製造方法。

【請求項36】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する層間接続部材とを有する半導体装置の製造方法であって、

(a) 前記下層配線上に、第1絶縁層およびストッパ層を順次形成する工程、

(b) 前記ストッパ層に配線溝パターンを転写する工程、

(c) 前記層間接続部材が形成される接続孔の孔パターンマスクを形成する工程、

ンマスクを形成する工程、

(d) 前記孔パターンマスクの存在下で、前記第1絶縁層にエッティング処理を施し、孔パターンを転写する工程、

(e) 前記孔パターンマスクを除去する工程、

(f) 前記孔パターンおよび前記配線溝パターンが形成された前記ストップ層の存在下で第2エッティング処理を施し、接続孔および配線溝を形成する工程を含み、

前記(c)工程の孔パターンマスクは、前記下層配線と前記配線溝パターンとの中央に合わせて形成されることを特徴とする半導体装置の製造方法。

【請求項37】 請求項1～36の何れか一項に記載の半導体装置の製造方法であって、

前記(c)工程の孔パターンの平面形状が転写されて、接続孔の平面形状が構成され、

前記(b)及び(c)工程のパターン平面形状の和が転写されて、配線の平面形が構成されることを特徴とする半導体装置の製造方法。

【請求項38】 請求項1～37の何れか一項に記載の半導体装置の製造方法であって、

前記(b)のマスクは、レジストまたはハードマスクで構成されることを特徴とする半導体装置の製造方法。

【請求項39】 請求項1～38の何れか一項に記載の半導体装置の製造方法であって、

前記接続孔の径と、配線の配線幅とは、実質的に等しいことを特徴とする半導体装置の製造方法。

【請求項40】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する層間接続部材とを有する半導体装置であって、

前記下層配線と前記配線溝内の配線とを隔てる層間絶縁層にマーカ絶縁層が含まれ、

前記マーカ絶縁層は、前記配線溝の底面と前記下層配線との間に形成されていることを特徴とする半導体装置。

【請求項41】 配線溝内に形成された配線と、前記配線とその下層配線とを接続する層間接続部材とを有する半導体装置であって、

前記配線の断面形状が、表面に向かうに従いより大きな傾きでその幅を増大させた形状であることを特徴とする半導体装置。

【請求項42】 その下層に配線を有し、その表面が平坦化された絶縁膜上に反射防止膜を形成する工程と、前記反射防止膜上にレジスト膜を塗布形成し、前記レジスト膜にパターン化された露光光を照射する工程と、を有することを特徴とする半導体装置の製造方法。

【請求項43】 請求項42記載の半導体装置の製造方法であって、

前記配線は、前記絶縁膜の下層絶縁膜に形成された配線溝内に導電体を埋め込み、前記配線溝以外の領域の前記導電体をCMP法により除去することにより形成され、前記表面が平坦化された絶縁膜は、前記下層配線および

前記配線上に堆積法により形成されることを特徴とする半導体装置の製造方法。

【請求項44】 請求項42記載の半導体装置の製造方法であって、

前記配線は、導電膜の堆積およびフォトリソグラフィ法によるパターニングにより形成され、前記表面が平坦化された絶縁膜は、前記配線を覆う絶縁膜の堆積と、前記堆積された絶縁膜の表面にCMP法を施して形成されることを特徴とする半導体装置の製造方法。

【請求項45】 第1絶縁膜上に前記第1絶縁膜に対してエッティング選択比を有する第2絶縁膜を堆積する工程と、前記第2絶縁膜上に配線溝パターンにパターニングされた第1レジスト膜を形成する工程と、前記第1レジスト膜の存在下で前記第2絶縁膜にエッティング処理を施し、前記配線溝パターンを前記第2絶縁膜に転写する工程と、前記第2絶縁膜上に反射防止膜を形成する工程と、前記反射防止膜上に第2レジスト膜を塗布形成する工程と、前記第2レジスト膜に接続孔パターンに整形された露光光を照射する工程と、を有することを特徴とする半導体装置の製造方法。

【請求項46】 請求項45記載の半導体装置の製造方法であって、

前記第2絶縁膜の膜厚は、前記反射防止膜形成後のその表面が平坦と見なせる程度に薄いことを特徴とする半導体装置の製造方法。

【請求項47】 請求項45または46記載の半導体装置の製造方法であって、

前記第2絶縁膜の膜厚は、前記第1絶縁膜および第2レジスト膜の膜厚よりも薄いことを特徴とする半導体装置の製造方法。

【請求項48】 配線溝用マスクを形成した後、反射防止膜を形成する工程と、前記反射防止膜上に接続孔用マスクを形成する工程と、前記配線溝用マスクおよび接続孔用マスクを用いて絶縁膜に配線溝および接続孔を転写する工程と、を有することを特徴とする半導体装置の製造方法。

【請求項49】 請求項48記載の半導体装置の製造方法であって、

前記反射防止膜は平坦化膜として作用することを特徴とする半導体装置の製造方法。

【請求項50】 配線溝用マスクを形成した後、平坦化膜を形成する工程と、前記平坦化膜上に接続孔用マスクを形成する工程と、前記配線溝用マスクおよび接続孔用マスクを用いて絶縁膜に配線溝および接続孔を転写する工程と、を有することを特徴とする半導体装置の製造方法。

【請求項51】 請求項50記載の半導体装置の製造方法であって、

前記接続孔用マスクに対して自己整合的に前記平坦化膜及び配線溝用マスクを除去することを特徴とする半導体

装置の製造方法。

【請求項52】層間絶縁膜に形成された配線溝と、前記配線溝に形成された配線と、前記層間絶縁膜に形成された接続孔と、前記接続孔に形成された接続部材とを有する半導体装置であって、

前記接続孔の径は、実質的に前記配線溝の配線幅と等しく、

前記配線と、前記接続接続部材とは一体に形成されることを特徴とする半導体装置。

【請求項53】請求項52記載の半導体装置であつて、

前記配線の平面形状は、前記接続孔の平面形状と、前記接続孔の径の配線幅の部分との和で構成されることを特徴とする半導体装置。

【請求項54】請求項52記載の半導体装置であつて、

前記配線溝と前記接続孔とは、前記接続孔の平面形状の面積で重なることを特徴とする半導体装置。

【請求項55】請求項52、53または54記載の半導体装置であつて、さらに、

前記接続孔の径よりも大きい一定幅の配線幅を有する第1配線を有し、

前記第1配線と前記接続孔とは、前記接続孔の平面形状の面積で重なることを特徴とする半導体装置。

【請求項56】被パターン膜上に第1マスク膜を形成した後、反射防止膜を形成する工程と、前記反射防止膜上に第2マスク膜を形成する工程と、前記第1および第2マスク膜を用いて前記被パターン膜にパターンを転写する工程と、を有することを特徴とする半導体装置の製造方法。

【請求項57】被パターン膜上に第1マスク膜を形成した後、平坦化膜を形成する工程と、前記平坦化膜上に第2マスク膜を形成する工程と、前記第1および第2マスク膜を用いて前記被パターン膜にパターンを転写する工程と、を有することを特徴とする半導体装置の製造方法。

【請求項58】請求項56または57記載の半導体装置の製造方法であつて、

前記第2マスク膜に対して自己整合的に前記反射防止膜または平坦化膜、および前記第1マスク膜を除去することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置およびその製造方法に関し、特に、いわゆるダマシン(damascene)法を用いて形成された多層配線構造、およびそのような多層配線構造を有する半導体装置に適用して有効な技術に関する。

【0002】

【従来の技術】半導体装置の高性能化および微細化に伴

い、多層配線技術は半導体装置製造において必要な技術となっている。半導体集積回路における配線層の形成法として、絶縁膜上にアルミニウム(A1)合金またはタンクスチール(W)などの高融点金属薄膜を成膜した後、フォトリソグラフィ工程により配線用薄膜上に配線パターンと同一形状のレジストパターンを形成し、それをマスクとしてドライエッチング工程により配線パターンを形成する方法が知られている。しかし、このA1合金等を用いる方法では配線の微細化に伴い、配線抵抗の増大が顕著となり、それに伴い配線遅延が増加し、半導体装置の性能が低下する等の問題がある。特に高性能なロジックLSIにおいては、その性能阻害要因として大きな問題が生じている。

【0003】このため、絶縁膜に形成した溝上に銅(Cu)を主導体層とする配線用金属を埋め込んだ後、溝外部の余分な金属をCMP法(化学機械研磨法)を用いて除去することにより溝内に配線パターンを形成する方法(いわゆるダマシン法)が検討されている。

【0004】

【発明が解決しようとする課題】しかし、ダマシン法、特に、デュアル(dual)ダマシン法(配線形成用の配線溝と層間接続配線が形成される接続孔とを形成した後に配線および層間接続配線を同時に形成するダマシン法)による多層配線の形成工程について、本発明者らが検討したところ、以下のような問題があることを認識した。なお、以下の問題点は本発明者らが独自に検討したものであり、特に公知にされたわけではない。

【0005】すなわち、本発明者らの検討によれば、デュアルダマシン法による溝(配線溝)および孔(接続孔)の形成方法は、大きく分けて2つの方式がある。孔先方式とセルフアライン方式である。

【0006】孔先方式は、下層配線上に形成された層間絶縁膜(配線形成用の絶縁膜である線間絶縁膜を含む)に、下層配線に到達する深い孔をまず形成する。この孔の形成は、孔パターンにパターニングされたフォトレジスト膜を層間絶縁膜上に形成し、これをマスクとして、たとえばドライエッチング法により層間絶縁膜をエッチングする。次に、反射防止材料、レジスト等でこの孔を埋め込み、その後、層間絶縁膜に配線溝を形成する。配線溝の形成は、孔の形成と同様に、溝パターンにパターニングされたフォトレジスト膜を層間絶縁膜上に形成し、このフォトレジスト膜をマスクとして、層間絶縁膜をエッチングする。配線溝の形成前に孔を反射防止材料等で埋め込むのは、配線溝形成用のフォトレジスト膜の露光を正確に行い、加工精度を向上するためである。すなわち、孔部が埋め込まれていないと、その部分のフォトレジスト膜の表面が、孔形状を反映して平坦にならない。このような凹凸の存在する状況で露光を行えば、凹凸の存在部(孔部)での露光光の散乱が生じ、精密に溝パターンが形成されない。特に、上下配線層間を接続す

る接続用配線が形成される孔部（接続孔）には配線溝が形成されるため、このような加工精度の低下の問題が多くの部分で発生する。

【0007】孔部を上記のように反射防止材等で埋め込めば、配線溝パターンを露光する際の問題はほぼ解消される。しかし、配線溝形成後に孔内に残存した埋め込み材（反射防止材等）を除去しなければならない。ところが、このような埋め込み材を除去することが困難であり、接続孔底部への埋め込み材残留による上下配線層間の接続不良あるいは接続抵抗増加の問題がある。特に、近年の微細化された半導体装置では接続孔径が縮小され、またアスペクト比も大きくなるため、その困難性はいっそう大きくなる。

【0008】一方、セルフアライン方式では、配線溝および接続孔は以下のように形成できる。すなわち、下層配線上に層間絶縁膜（この場合の層間絶縁膜には配線形成用の線間絶縁膜を含まない）を形成し、さらにシリコン窒化膜を形成する。このシリコン窒化膜に孔パターン加工を施し、さらに線間絶縁膜（たとえばシリコン酸化膜）を形成する。つまり、層間絶縁膜と線間絶縁膜との間に孔パターンに加工された中間層（シリコン窒化膜層）を形成する。そして線間絶縁膜に溝パターンを形成し、溝パターン加工後は中間層（溝パターンが形成されたシリコン窒化膜）をマスクにいて孔加工を施す。このようなセルフアライン方式では、前記のような孔（接続孔）内への埋め込み材の残留、あるいは、溝加工を行う際の加工精度の低下を回避できる。

【0009】しかし、前記の中間層は、溝加工の際（エッチングの際）のエッチングストップとして機能するものであり、また孔加工のエッチングマスクとしても機能する。このため、中間層の膜厚は非常に厚くする必要があり、本発明者らの検討ででは、少なくとも100nm程度の膜厚は必要である。シリコン窒化膜は高誘電性の材料として知られており、層間絶縁膜、線間絶縁膜の低誘電率化にとって大きなマイナス要因となる。配線間あるいは配線層間の誘電率が大きくなれば配線間容量が大きくなり、半導体装置の高速化、高性能化の阻害要因となる。また孔は配線と孔の双方がドライエッチされる領域で規定されるため、孔形成のマスクと溝形成のマスクとのマスク合わせずれにより、出来上がりの孔径が小さくなる事態が発生しうる。孔径の縮小化は、線間接続配線に必要な抵抗値の確保を阻害し、半導体装置の高速化、高性能化の阻害要因となる。

【0010】また、マスク合わせずれを避けるために、溝パターンを大きくすると配線幅及びピッチの微細化が妨げられ、高集積化が妨げられる。

【0011】本発明の目的は、微細なデュアルダマシン溝の形成であっても接続孔内への異物の残留を回避し、配線接続の信頼性および半導体装置性能の向上を図ることにある。

【0012】また、本発明の他の目的は、接続孔の加工面積を確保して、配線層間の接続抵抗が低減できる技術を提供し、半導体装置の性能向上を図ることにある。

【0013】また、本発明のさらに他の目的は、配線間の容量を低減し、半導体装置の性能向上が図れる技術を提供することにある。

【0014】また、本発明のさらに他の目的は、半導体装置の集積度を向上できる技術を提供することにある。

【0015】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0016】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0017】すなわち、本発明の半導体装置の製造方法は、基板上に形成された絶縁層（層間絶縁膜および線間絶縁膜）上に配線溝形成時のエッチングマスクとなる配線溝パターン層を形成する。次に、その配線溝パターン層上に層間接続孔形成時のエッチングマスクとなる孔パターン層を形成する。そして、この孔パターン層よりドライエッチング加工し、絶縁層に所定の深さに孔パターンを転写した後、孔パターン層のみ除去し、絶縁層に転写された孔パターン及び配線溝パターン層をマスクに絶縁層を加工する。

【0018】本発明の半導体装置あるいは製造方法では、層間接続孔の合わせズレを吸収するために配線幅を部分的に広げた領域のない配線構造を前提としている。このため、配線間のスペースをフォトリソグラフィの最小寸法まで縮小することが可能となり微細な配線加工に対応することができる。ところが、配線溝パターン層とその上に形成される孔パターンの合わせズレが問題となる。この合わせズレ対策として、第1に、絶縁層に所定の深さに孔パターンを転写するのに先立ちこの孔パターン層を貫通して配線溝パターン層のドライエッチング加工工程を加えるという方法と、第2に、配線溝パターンの長手方向に直交する孔パターン径を配線溝幅より大きくし、この孔パターン層上より配線溝パターン層がエッチングされない条件でドライエッチング加工し、絶縁層に所定の深さに孔パターンを転写するという方法の2通りの方法を提供する。

【0019】また、本発明の半導体装置の製造方法では、絶縁膜上の配線溝パターン層には、膜厚が50nm程度の薄いシリコン窒化膜を用いる。配線溝パターン層が十分に薄いため、その上に形成される孔パターン層は、十分に高い精度での加工が可能になる。すなわち本発明の方法では、レジストパターン（孔パターン層を形成するためのパターン層）は50nm程度の小さな段差上に形成されるので、レジスト下に形成される反射防止膜の塗布等の簡単な対策で容易に段差を緩和できる。し

たがって、前記した孔先方式のような平坦化工程（反射防止材料等による接続孔の埋め込みは不要である。さらに、配線溝パターンと孔パターンの合わせズレに対しては、絶縁層に所定深さの孔パターンを転写する際にそのエッティング初期段階において、この配線溝パターン層を貫通して孔パターンを形成できる。これは、配線溝パターン層が薄いシリコン窒化膜よりなることからエッティング工程上特に大きな困難なく実施できる。このように先に孔加工を行うことより、孔径を確保してセルフアライン方式のデメリットを補うことが可能となる。この場合、絶縁層に開けられた孔の底部は合わせズレ領域で多少エッティング不足になることが考えられるが、絶縁層の下にエッティングストップ層を設け、孔エッティングがオーバーエッティングになっても許容できるようにしておくことで対処が可能である。一方、配線溝パターンの長手方向に直交する孔パターン径を配線溝幅より大きくし、配線溝パターン層がエッティングされない条件で孔パターンをドライエッティング加工により転写する場合には、配線溝パターンと配線溝幅より広い孔パターンとの重畠領域で孔パターンがエッティング転写される。孔パターン層は、あらかじめマスクずれを見込んでその孔径を大きく形成するため、配線溝パターンのパターン幅と同じ開口径を確保できる。

【0020】このようにして、先孔方式のデメリット、すなわち接続孔内の充填物の残留を回避して、なおかつ先孔方式のメリットである接続孔径の確保が容易に行える。つまり、本発明の製造方法では、孔パターンのドライエッティングを先に進め、後から溝パターンのドライエッティングを行うため、孔パターンの形状は先に決まっており、合わせズレにより孔径が小さくなるようなことはない。

【0021】また、ストップ層であるシリコン窒化膜に着目すると、セルフアライン方式では溝パターンのエッティングストップであり、同時に孔パターンのドライエッチマスクとしても機能するため最低でも100nm以上の膜厚が必要であったが、本発明の半導体装置では、溝パターンのエッティングストップの機能しか求めていない。そのためセルフアライン方式に比べ中間ストップ層を薄くすることが可能である。しかも時間管理でエッティングすることにより孔パターンの深さを制御すれば、中間ストップ層を用いる必要がなくそれなしでも加工が実現できる。これにより半導体装置の配線間容量を低減し、半導体装置の性能向上を図れる。

【0022】なお、本願発明の特徴を列挙して示せば、以下の通りである。

【0023】1. 半導体装置の製造方法であって、
 (a) 基板上に第1絶縁層を形成する工程、(b) 第1絶縁層上に、配線溝を形成する際のエッティングマスクとなる配線溝パターン層を形成する工程、(c) 配線溝パターン層上に、接続孔を形成する際のエッティングマスク

となる孔パターン層を形成する工程、(d) 孔パターン層の存在下で、配線溝パターン層と第1絶縁層とにエッティング処理を施し、第1絶縁層に所定の深さの孔パターンを転写する工程、(e) 孔パターン層を除去する工程、(f) 配線溝パターン層および孔パターンの存在下でエッティング処理を施し、第1絶縁層に配線溝パターンを転写する工程、を含む。

【0024】2. 一定幅で形成された配線溝と、配線溝内に形成された配線と、配線とその下層配線とを接続する層間接続部材とを有する半導体装置の製造方法であつて、(a) 基板上に第1絶縁層を形成する工程、(b) 第1絶縁層上に、配線溝を形成する際のエッティングマスクとなる配線溝パターン層を形成する工程、(c) 配線溝パターン層上に、層間接続部材が形成される接続孔を形成する際のエッティングマスクとなる孔パターン層を形成する工程、(d) 孔パターン層の存在下でエッティング処理を施し、第1絶縁層に所定の深さの孔パターンを転写する工程、(e) 孔パターン層を除去する工程、(f) 配線溝パターン層および孔パターンの存在下でエッティング処理を施す工程、を含む。

【0025】3. 一定幅で形成された配線溝と、配線溝内に形成された配線と、配線とその下層配線とを接続する層間接続部材とを有する半導体装置の製造方法であつて、(a) 基板上に第1絶縁層を形成する工程、(b) 第1絶縁層上に、配線溝を形成する際のエッティングマスクとなる配線溝パターン層を形成する工程、(c) 配線溝パターン層上に、層間接続部材が形成される接続孔を形成する際のエッティングマスクとなる孔パターン層を、配線溝パターン層のパターン幅と実質的に同一寸法のパターン径で形成する工程、(d) 孔パターン層の存在下でエッティング処理を施し、第1絶縁層に所定の深さの孔パターンを転写する工程、(e) 孔パターン層を除去する工程、(f) 配線溝パターン層および孔パターンの存在下でエッティング処理を施す工程、を含む。

【0026】4. 前記項2または3記載の半導体装置の製造方法であつて、(d) 工程におけるエッティング処理により、配線溝パターン層の一部が第1絶縁層とともにエッティングされる。

【0027】5. 前記項1～4の何れか一項に記載の半導体装置の製造方法であつて、(d) 工程で孔パターンは第1絶縁層の下部まで形成され、(f) 工程で配線溝が形成される。

【0028】6. 前記項1～4の何れか一項に記載の半導体装置の製造方法であつて、(d) 工程で孔パターンは第1絶縁層の途中までエッティングされ、(f) 工程で配線溝と接続孔とが形成される。

【0029】7. 前記項1～6の何れか一項に記載の半導体装置の製造方法であつて、(a) 工程の前に、第1絶縁層に対してエッティング選択比を有する第2絶縁層を形成する工程を有し、(f) 工程におけるドライエッチ

ング処理は、第2絶縁層のエッチング速度が第1絶縁層のエッチング速度よりも小さい条件で行う第1エッチングと、第2絶縁層がエッチングされる条件で行う第2エッチングとの2段階エッチングで行われる。

【0030】8. 半導体装置の製造方法であって、
 (a) 第1ストップア絶縁層、第1絶縁層およびストップア層を順次形成する工程、(b) ストップア層に配線溝パターンを転写する工程、(c) (b) 工程の後、接続孔の孔パターン層を形成する工程、(d) 孔パターン層の存在下で、ストップア層および第1絶縁層を除去する条件のエッチング処理を施し、第1絶縁層の途中までエッチングして孔パターンを転写する工程、(e) 孔パターン層を除去する工程、(f) 孔パターンおよび配線溝パターンが形成されたストップア層の存在下でエッチング処理を施し、接続孔および配線溝を形成する工程、を含む。

【0031】9. 前記項1～8の何れか一項に記載の半導体装置の製造方法であって、(c) 工程で、孔パターン層はスタックドビア部を開口する形状で構成され、
 (d) 工程で孔パターンは第1絶縁層の下部まで形成される。

【0032】10. 前記項1～9の何れか一項に記載の半導体装置の製造方法であって、(b) 工程と(c) 工程との間に、平坦化膜を形成する工程を有する。

【0033】11. 前記項10に記載の半導体装置の製造方法であって、平坦化膜は反射防止膜である。

【0034】12. 前記項1～11の何れか一項に記載の半導体装置の製造方法であって、(f) 工程で配線溝と接続孔が形成され、その後配線溝と接続孔とに導電膜を埋め込み配線と層間接続部材とを形成する。

【0035】13. 配線溝内に形成された配線と、配線とその下層配線とを接続する層間接続部材とを有する半導体装置の製造方法であって、(a) 第1ストップア絶縁層、層間絶縁層、第2ストップア絶縁層、線間絶縁層およびストップア層を順次形成する工程、(b) ストップア層に配線溝パターンを転写する工程、(c) (b) の後、層間接続部材が形成される接続孔の孔パターンマスクを形成する工程、(d) 孔パターンマスクの存在下で、線間絶縁層および第2ストップア絶縁層にエッチング処理を施し、孔パターンを転写する工程、(e) 孔パターンマスクを除去する工程、(f) 孔パターンおよび配線溝パターンが形成されたストップア層の存在下でエッチング処理を施す工程、を含む。

【0036】14. 前記項13記載の半導体装置の製造方法であって、(b) 工程の配線溝パターンの転写後、配線溝パターンの形成に使用されたレジスト層が除去され、ストップア層上に直接、孔パターンマスクが形成される。

【0037】15. 前記項13または14記載の半導体装置の製造方法であって、(f) 工程におけるエッチング処理は、孔パターン領域においては第1ストップア絶縁

層で、配線溝パターン領域においては第2ストップア絶縁層で、加工が終了または停止する。

【0038】16. 前記項13、14または15記載の半導体装置の製造方法であって、第1および第2ストップア絶縁層ならびにストップア層は、シリコン窒化膜からなる。

【0039】17. 前記項16記載の半導体装置の製造方法であって、ストップア層の膜厚は、第1および第2ストップア絶縁層の膜厚よりも厚い。

【0040】18. 前記項13～17の何れか一項に記載の半導体装置の製造方法であって、孔パターンマスクがレジストマスクである。

【0041】19. 前記項13～18の何れか一項に記載の半導体装置の製造方法であって、(f) 工程の後に、ストップア層を除去する工程を有する。

【0042】20. 前記項15に記載の半導体装置の製造方法であって、(f) 工程の後に、ストップア層、第1ストップア層及び第2ストップア層を除去する工程を有し、その後、配線溝と接続孔に導電膜を埋め込み配線と層間接続部材とを形成する。

【0043】21. 配線溝内に形成された配線と、配線とその下層配線とを接続する層間接続部材とを有する半導体装置の製造方法であって、(a) 第1ストップア絶縁層、第1絶縁層およびストップア層を順次形成する工程、(b) ストップア層に配線溝パターンを転写する工程、(c) 層間接続部材が形成される接続孔の孔パターンマスクを形成する工程、(d) 孔パターンマスクの存在下で、ストップア層および第1絶縁層にエッチング処理を施し、第1絶縁層の途中までエッチングして孔パターンを転写する工程、(e) 孔パターンマスクを除去する工程、(f) 孔パターンおよび配線溝パターンが形成されたストップア層の存在下でエッチング処理を施し、接続孔および配線溝を形成する工程、を含む。

【0044】22. 配線溝内に形成された配線と、配線とその下層配線とを接続する層間接続部材とを有する半導体装置の製造方法であって、(a) 第1ストップア絶縁層、第1層間絶縁層、マーカ絶縁層、第2層間絶縁層およびストップア層を順次形成する工程、(b) ストップア層に配線溝パターンを転写する工程、(c) 層間接続部材が形成される接続孔の孔パターンマスクを形成する工程、(d) 孔パターンマスクの存在下で、第2層間絶縁層およびマーカ絶縁層にエッチング処理を施し、孔パターンを転写する工程、(e) 孔パターンマスクを除去する工程、(f) 孔パターンおよび配線溝パターンが形成されたストップア層の存在下でエッチング処理を施し、接続孔および配線溝を形成する工程を含み、(d) 工程におけるエッチング処理の終点をマーカ絶縁層に含まれる元素のプラズマ発光により検出し、(f) 工程における孔パターンのエッチング処理の終点を第1ストップア絶縁層に達する点で決定する。

【0045】23. 配線溝内に形成された配線と、配線とその下層配線とを接続する層間接続部材とを有する半導体装置の製造方法であって、(a) 第1層間絶縁層、マーカ絶縁層、第2層間絶縁層およびストップ層を順次形成する工程、(b) ストップ層に配線溝パターンを転写する工程、(c) 層間接続部材が形成される接続孔の孔パターンマスクを形成する工程、(d) 孔パターンマスクの存在下で、第2層間絶縁層およびマーカ絶縁層にエッチング処理を施し、孔パターンを転写する工程、(e) 孔パターンマスクを除去する工程、(f) 孔パターンおよび配線溝パターンが形成されたストップ層の存在下でエッチング処理を施し、接続孔および配線溝を形成する工程を含み、(f) 工程における溝パターンのエッティング処理の終点をマーカ絶縁層に含まれる元素のプラズマ発光により検出する。

【0046】24. 配線溝内に形成された配線と、配線とその下層配線とを接続する層間接続部材とを有する半導体装置の製造方法であって、(a) 第1ストップ絶縁層、第1層間絶縁層、第2ストップ絶縁層、第2層間絶縁層、マーカ絶縁層、第3層間絶縁層およびストップ層を順次形成する工程、(b) ストップ層に配線溝パターンを転写する工程、(c) 層間接続部材が形成される接続孔の孔パターンマスクを形成する工程、(d) 孔パターンマスクの存在下で、第3層間絶縁層、マーカ絶縁層、第2層間絶縁層および第2ストップ絶縁層にエッティング処理を施し、孔パターンを転写する工程、(e) 孔パターンマスクを除去する工程、(f) 孔パターンおよび配線溝パターンが形成されたストップ層の存在下でエッティング処理を施し、接続孔および配線溝を同時に形成する工程を含み、(f) 工程における溝パターンのエッティング処理の終点をマーカ絶縁層に含まれる元素のプラズマ発光により検出する。

【0047】25. 配線溝内に形成された配線と、配線とその下層配線とを接続する層間接続部材とを有する半導体装置の製造方法であって、(a) 第1層間絶縁層、第2層間絶縁層およびストップ層を順次形成する工程、(b) ストップ層に配線溝パターンを転写する工程、(c) 層間接続部材が形成される接続孔の孔パターンマスクを形成する工程、(d) 孔パターンマスクの存在下で、ストップ層および第2層間絶縁層にエッティング処理を施し、孔パターンを転写する工程、(e) 孔パターンマスクを除去する工程、(f) 孔パターンおよび配線溝パターンが形成されたストップ層の存在下でエッティング処理を施し、接続孔および配線溝を同時に形成する工程を含み、第1層間絶縁層と第2層間絶縁層とは互いにエッティング速度の異なる材料からなり、(f) 工程における溝パターンのエッティング処理の終点を第2層間絶縁層に達する点で決定する。

【0048】26. 一定幅で形成された配線溝と、配線溝内に形成された配線と、配線とその下層配線とを接続

する層間接続部材とを有する半導体装置の製造方法であって、(a) 基板上に第1絶縁層を形成する工程、(b) 第1絶縁層上に、配線溝を形成する際のエッチングマスクとなる配線溝パターン層を形成する工程、(c) 配線溝パターン層上に、層間接続部材が形成される接続孔を形成する際のエッチングマスクとなる孔パターン層を形成する工程、(d) 孔パターン層の存在下で、配線溝パターン層のエッティング速度が第1絶縁層のエッティング速度よりも遅い条件でエッティング処理を施し、第1絶縁層に所定の深さの孔パターンを転写する工程、(e) 孔パターン層を除去する工程、(f) 配線溝パターン層および孔パターンの存在下でエッティング処理を施す工程、を含む。

【0049】27. 前記項26記載の半導体装置の製造方法であって、配線溝パターン層の幅方向の孔パターンの径寸法が溝パターン層の幅寸法より大きい。

【0050】28. 前記項1～27の何れか一項に記載の半導体装置の製造方法であって、さらに、(g) 基板全面にバリア金属層および銅層を形成する工程、(h) (f) 工程のエッティング処理により形成される配線溝および接続孔の内部以外の領域のバリア金属層および銅層を化学機械研磨法により除去する工程、を含む。

【0051】29. 前記項28記載の半導体装置の製造方法であって、(h) 工程において配線溝パターン層またはストップ層が除去される。

【0052】30. 前記項29記載の半導体装置の製造方法であって、配線溝パターン層もしくはストップ層、または、配線溝パターン層もしくはストップ層をパターンングするためのマスク層が導電性の材料で構成される。

【0053】31. 配線溝内に形成された配線と、配線とその下層配線とを接続する層間接続部材とを有する半導体装置の製造方法であって、(a) 第1絶縁層およびストップ層を順次形成する工程、(b) ストップ層に配線溝パターンを転写する工程、(c) 層間接続部材が形成される接続孔の孔パターンマスクを形成する工程、(d) 孔パターンマスクの存在下で、ストップ層および第1絶縁層の一部に第1エッティング処理を施し、孔パターンを転写する工程、(e) 孔パターンマスクを除去する工程、(f) 孔パターンおよび配線溝パターンが形成されたストップ層の存在下で第2エッティング処理を施し、接続孔および配線溝を形成する工程を含み、第1または第2エッティング処理の何れかまたは両方で、ストップ層および第1絶縁層の稜部がエッティングされる。

【0054】32. 配線溝内に形成された配線と、配線とその下層配線とを接続する層間接続部材とを有する半導体装置の製造方法であって、(a) 第1絶縁層およびストップ層を順次形成する工程、(b) ストップ層に配線溝パターンを転写する工程、(c) 層間接続部材が形成される接続孔の孔パターンマスクを形成する工程、

(d) 孔パターンマスクの存在下で、第1絶縁層の一部に第1エッチング処理を施し、孔パターンを転写する工程、(e) 孔パターンマスクを除去する工程、(f) 孔パターンおよび配線溝パターンが形成されたストップ層の存在下で第2エッチング処理を施し、接続孔および配線溝を形成する工程を含み、第1または第2エッチング処理の少なくとも何れかの処理において、ストップ層の端部がエッチングされる。

【0055】33. 前記項31または32記載の半導体装置の製造方法であって、さらに、(g) 基板全面にバリア金属層および銅層を形成する工程、(h) 配線溝および接続孔の内部以外の領域のバリア金属層および銅層を化学機械研磨法により除去する工程、を含み、(h) 工程において、配線溝上部に位置する銅層およびバリア金属層の一部、ストップ層、ならびに第1絶縁層の表面部が除去される。

【0056】34. 前記項33記載の半導体装置の製造方法であって、銅層は、シード層として機能する第1銅層と、メッキ法により形成される第2銅層とで構成される。

【0057】35. 配線溝内に形成された配線と、配線とその下層配線とを接続する層間接続部材とを有する半導体装置の製造方法であって、(a) 下層配線上に、第1絶縁層およびストップ層を順次形成する工程、(b) ストップ層に配線溝パターンを転写する工程、(c) 層間接続部材が形成される接続孔の孔パターンマスクを形成する工程、(d) 孔パターンマスクの存在下で、第1絶縁層にエッチング処理を施し、孔パターンを転写する工程、(e) 孔パターンマスクを除去する工程、(f) 孔パターンおよび配線溝パターンが形成されたストップ層の存在下で第2エッチング処理を施し、接続孔および配線溝を形成する工程を含み、(c) 工程の孔パターンマスクは、下層配線に合わせて形成される。

【0058】36. 配線溝内に形成された配線と、配線とその下層配線とを接続する層間接続部材とを有する半導体装置の製造方法であって、(a) 下層配線上に、第1絶縁層およびストップ層を順次形成する工程、(b) ストップ層に配線溝パターンを転写する工程、(c) 層間接続部材が形成される接続孔の孔パターンマスクを形成する工程、(d) 孔パターンマスクの存在下で、第1絶縁層にエッチング処理を施し、孔パターンを転写する工程、(e) 孔パターンマスクを除去する工程、(f) 孔パターンおよび配線溝パターンが形成されたストップ層の存在下で第2エッチング処理を施し、接続孔および配線溝を形成する工程を含み、(c) 工程の孔パターンマスクは、下層配線と配線溝パターンとの中央に合わせて形成される。

【0059】37. 前記項1～36の何れか一項に記載の半導体装置の製造方法であって、(c) 工程の孔パターンの平面形状が転写されて、接続孔の平面形状が構成

され、(b) 及び(c) 工程のパターン平面形状の和が転写されて、配線の平面形が構成される。

【0060】38. 前記項1～37の何れか一項に記載の半導体装置の製造方法であって、(b) のマスクは、レジストまたはハードマスクで構成される。

【0061】39. 前記項1～38の何れか一項に記載の半導体装置の製造方法であって、接続孔の径と、配線の配線幅とは、実質的に等しい。

【0062】40. 配線溝内に形成された配線と、配線とその下層配線とを接続する層間接続部材とを有する半導体装置であって、下層配線と配線溝内の配線とを隔てる層間絶縁層にマーカ絶縁層が含まれ、マーカ絶縁層は、配線溝の底面と下層配線との間に形成されている。

【0063】41. 配線溝内に形成された配線と、配線とその下層配線とを接続する層間接続部材とを有する半導体装置であって、配線の断面形状が、表面に向かうに従いより大きな傾きでその幅を増大させた形状である。

【0064】42. 半導体装置の製造方法であって、その下層に配線を有し、その表面が平坦化された絶縁膜上に反射防止膜を形成する工程と、反射防止膜上にレジスト膜を塗布形成し、レジスト膜にパターン化された露光光を照射する工程と、を有する。

【0065】43. 前記項42記載の半導体装置の製造方法であって、配線は、絶縁膜の下層絶縁膜に形成された配線溝内に導電体を埋め込み、配線溝以外の領域の導電体をCMP法により除去することにより形成され、表面が平坦化された絶縁膜は、下層配線および配線上に堆積法により形成される。

【0066】44. 前記項42記載の半導体装置の製造方法であって、配線は、導電膜の堆積およびフォトリソグラフィ法によるパターニングにより形成され、表面が平坦化された絶縁膜は、配線を覆う絶縁膜の堆積と、堆積された絶縁膜の表面にCMP法を施して形成される。

【0067】45. 半導体装置の製造方法であって、第1絶縁膜上に第1絶縁膜に対してエッチング選択比を有する第2絶縁膜を堆積する工程と、第2絶縁膜上に配線溝パターンにパターニングされた第1レジスト膜を形成する工程と、第1レジスト膜の存在下で第2絶縁膜にエッチング処理を施し、配線溝パターンを第2絶縁膜に転写する工程と、第2絶縁膜上に反射防止膜を形成する工程と、反射防止膜上に第2レジスト膜を塗布形成する工程と、第2レジスト膜に接続孔パターンに整形された露光光を照射する工程と、を有する。

【0068】46. 前記項45記載の半導体装置の製造方法であって、第2絶縁膜の膜厚は、反射防止膜形成後のその表面が平坦と見なせる程度に薄い。

【0069】47. 前記項45または46記載の半導体装置の製造方法であって、第2絶縁膜の膜厚は、第1絶縁膜および第2レジスト膜の膜厚よりも薄い。

【0070】48. 半導体装置の製造方法であって、配

線溝用マスクを形成した後、反射防止膜を形成する工程と、反射防止膜上に接続孔用マスクを形成する工程と、配線溝用マスクおよび接続孔用マスクを用いて絶縁膜に配線溝および接続孔を転写する工程と、を有する。

【0071】49. 前記項48記載の半導体装置の製造方法であって、反射防止膜は平坦化膜として作用する。

【0072】50. 半導体装置の製造方法であって、配線溝用マスクを形成した後、平坦化膜を形成する工程と、平坦化膜上に接続孔用マスクを形成する工程と、配線溝用マスクおよび接続孔用マスクを用いて絶縁膜に配線溝および接続孔を転写する工程と、を有する。

【0073】51. 前記項50記載の半導体装置の製造方法であって、接続孔用マスクに対して自己整合的に平坦化膜及び配線溝用マスクを除去する。

【0074】52. 層間絶縁膜に形成された配線溝と、配線溝に形成された配線と、層間絶縁膜に形成された接続孔と、接続孔に形成された接続部材とを有する半導体装置であって、接続孔の径は、実質的に配線溝の配線幅と等しく、配線と、接続接続部材とは一体に形成される。

【0075】53. 前記項52記載の半導体装置であって、配線の平面形状は、接続孔の平面形状と、接続孔の径の配線幅の部分との和で構成される。

【0076】54. 前記項52記載の半導体装置であって、配線溝と接続孔とは、接続孔の平面形状の面積で重なる。

【0077】55. 前記項52、53または54記載の半導体装置であって、さらに、接続孔の径よりも大きい一定幅の配線幅を有する第1配線を有し、第1配線と接続孔とは、接続孔の平面形状の面積で重なる。

【0078】56. 半導体装置の製造方法であって、被パターン膜上に第1マスク膜を形成した後、反射防止膜を形成する工程と、反射防止膜上に第2マスク膜を形成する工程と、第1および第2マスク膜を用いて被パターン膜にパターンを転写する工程と、を有する。

【0079】57. 半導体装置の製造方法であって、被パターン膜上に第1マスク膜を形成した後、平坦化膜を形成する工程と、平坦化膜上に第2マスク膜を形成する工程と、第1および第2マスク膜を用いて被パターン膜にパターンを転写する工程と、を有する。

【0080】58. 前記項56または57記載の半導体装置の製造方法であって、第2マスク膜に対して自己整合的に反射防止膜または平坦化膜、および第1マスク膜を除去する。

【0081】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【0082】(実施の形態1) 図1～図22は、本実施

の形態の半導体装置の製造方法の一例を工程順に示した断面図である。以下図面を用いて工程順に説明する。

【0083】まず、図1に示すように、たとえばp-型の単結晶シリコンからなる半導体基板1を用意し、半導体基板1の主面に素子分離領域2を形成する。素子分離領域2はたとえば以下のようにして形成できる。まず、半導体基板1の主面上にシリコン酸化膜(SiO)およびシリコン窒化膜(SiN)を順次形成し、このシリコン窒化膜をパターニングされたフォトレジスト膜を用いてエッチングし、このエッチングされたシリコン窒化膜をマスクとして半導体基板1に浅溝を形成する。その後、浅溝を埋め込む絶縁膜たとえばシリコン酸化膜を堆積し、CMP(Chemical Mechanical Polishing)法等を用いて浅溝以外の領域のシリコン酸化膜を除去し、さらにウェットエッチング法等によりシリコン窒化膜を除去する。これにより素子分離領域2が形成される。

【0084】次に、パターニングされたフォトレジスト膜をマスクとして不純物をイオン注入し、pウェル3およびnウェル4を形成する。pウェル3にはp型の導電型を示す不純物たとえばボロン(B)をイオン注入し、nウェル4にはn型の導電型を示す不純物たとえばリン(p)をイオン注入する。この後、各ウェル領域にMISFETのしきい値を制御するための不純物をイオン注入してもよい。

【0085】次に、ゲート絶縁膜5となるシリコン酸化膜、ゲート電極6となる多結晶シリコン膜およびキャップ絶縁膜7となるシリコン酸化膜を順次堆積して積層膜を形成し、フォトリソグラフィによりパターニングされたフォトレジスト膜をマスクとして前記積層膜をエッチングする。これにより、ゲート絶縁膜5、ゲート電極6およびキャップ絶縁膜7を形成する。ゲート絶縁膜5はたとえば熱CVD法により形成することができ、ゲート電極6はCVD(Chemical Vapor Deposition)法により形成することができる。ゲート電極6の抵抗値を低減するためにn型あるいはp型の不純物をMISFETのチャネル型に応じてドープしてもよい。すなわち、nチャネルMISFETのゲート電極にはn型不純物を、pチャネルMISFETのゲート電極にはp型不純物をドープしてもよい。この場合イオン注入法を用いることができる。なお、ゲート電極6の上部にWSix、MoS_x、TiSi_x、TaSi_xなどの高融点金属シリサイド膜を積層してもよく、窒化チタン(TiN)、窒化タングステン(WN)等のバリアメタル層を介してタングステン等の金属層を形成してもよい。これによりゲート電極6のシート抵抗値を低減し、MISFETの動作速度を向上できる。キャップ絶縁膜7はたとえばCVD法により堆積することができる。

【0086】次に、半導体基板1上にたとえばCVD法でシリコン酸化膜を堆積した後、このシリコン酸化膜を異方性エッチングすることにより、ゲート電極6の側壁

にサイドウォールスペーサ8を形成する。その後、フォトレジスト膜をマスクとして、pウェル3にn型不純物(たとえばリン、ヒ素)をイオン注入し、pウェル3上のゲート電極6の両側にn型半導体領域9を形成する。n型半導体領域9は、ゲート電極6およびサイドウォールスペーサ8に対して自己整合的に形成される。また、n型半導体領域9は、nチャネルMISFETQnのソース、ドレイン領域として機能する。同様に、フォトレジスト膜をマスクとして、nウェル4にp型不純物(たとえばボロン)をイオン注入し、nウェル4上のゲート電極6の両側にp型半導体領域10を形成する。p型半導体領域10は、ゲート電極6およびサイドウォールスペーサ8に対して自己整合的に形成され、pチャネルMISFETQpのソース、ドレイン領域として機能する。

【0087】なお、サイドウォールスペーサ8の形成前に低濃度の不純物半導体領域を形成し、サイドウォールスペーサ8の形成後に高濃度の不純物半導体領域を形成していわゆるLDD(Lightly Doped Drain)構造としてもよい。

【0088】次に、図2に示すように、半導体基板1上にスパッタ法またはCVD法でシリコン酸化膜を堆積した後、そのシリコン酸化膜をたとえばCMP法で研磨することにより、表面が平坦化された第1層間絶縁膜11を形成する。第1層間絶縁膜11は、シリコン窒化膜、SOG(Spin On Glass)膜、BPSG(Boron Phosphor Silicate Glass)膜、PSG(Phosphor Silicate Glass)膜等の積層膜で形成しても良い。

【0089】次に、フォトリソグラフィ技術を用いて第1層間絶縁膜11に接続孔12を形成する。この接続孔12は、n型半導体領域9あるいはp型半導体領域10上の必要部分に形成する。

【0090】次に、接続孔12内にプラグ13をたとえば以下のようにして形成する。まず、接続孔12の内部を含む半導体基板1の全面に窒化チタン(TiN)膜を形成する。窒化チタン膜はたとえばCVD法により形成できる。CVD法は被膜の段差被覆性に優れるため、微細な接続孔12内にも均一な膜厚で窒化チタン膜を形成できる。次に、接続孔12を埋め込むタングステン

(W)膜を形成する。タングステン膜は、たとえばCVD法で形成できる。CVD法であれば同様に微細な接続孔12内をタングステンで埋め込めることが可能である。次に、接続孔12以外の領域の窒化チタン膜およびタングステン膜をたとえばCMP法により除去してプラグ13を形成する。なお、窒化チタン膜の形成前にたとえばチタン(Ti)膜を堆積し、熱処理を行って接続孔12の底部における半導体基板(n型あるいはp型の半導体領域9, 10)をシリサイド化してもよい。このようなシリサイド層を形成することにより、接続孔12底部でのコンタクト抵抗を低減できる。

【0091】次に、半導体基板1の全面に、たとえばタングステン膜を形成し、このタングステン膜をフォトリソグラフィ技術によりパターニングし、第1配線層の配線14を形成する。タングステン膜は、CVD法あるいはスパッタ法により形成できる。

【0092】次に、図3に示すように、配線14を覆う絶縁膜たとえばシリコン酸化膜を形成し、この絶縁膜をCMP法により平坦化して第2層間絶縁膜15を形成する。

【0093】次に、第2層間絶縁膜15上に接続孔が形成される領域に開口を有するフォトレジスト膜を形成し、このフォトレジスト膜をマスクとしてエッチングを施す。これにより第2層間絶縁膜15の所定の領域に接続孔16を形成する。

【0094】次に、接続孔16内にプラグ17を形成する。プラグ17は以下のようにして形成できる。まず、接続孔16の内部を含む半導体基板1の全面にバリア層を形成し、さらに接続孔16を埋め込む銅(Cu)膜を形成する。その後、接続孔16以外の領域の銅膜およびバリア膜をCMP法により除去してプラグ17を形成する。

【0095】バリア層は銅の第2層間絶縁膜15等周辺への拡散を防止する機能を有し、たとえば窒化チタン膜を例示できる。なお、窒化チタン膜には限らず、銅の拡散防止機能を有する限り他の金属膜であってもよい。たとえば、窒化チタンに代えてタンタル(Ta)、窒化タンタル(TaN)を用いることもできる。次工程以下のバリア層については窒化チタン膜を例示して説明するが、タンタル、窒化タンタル等に代えることができることは前記と同様である。

【0096】銅膜は主導電層として機能し、たとえばメッキ法で形成できる。メッキ膜の形成前にシード膜として薄い銅膜をスパッタ法により形成できる。また、銅膜は、スパッタ法により形成してもよい。この場合、スパッタにより銅膜を形成後、熱処理により銅膜を流動化させて、接続孔または配線溝へ埋め込み特性を向上するようにしてよい。次工程以下の銅膜についてはメッキ法で形成する場合を例示するが、スパッタ法を用いてよいことは前記と同様である。

【0097】次に、図4に示すように、第2層間絶縁膜15上にストップ絶縁膜18を形成し、さらに第2配線層形成用の絶縁膜19を形成する。ストップ絶縁膜18は、絶縁膜19への溝加工の際にエッチングストップとなる膜であり、絶縁膜19に対してエッチング選択比を有する材料を用いる。ストップ絶縁膜18は、たとえばシリコン窒化膜とする。絶縁膜19は、配線間の線間容量を低く抑えるため、誘電率の小さな材料を用いる。絶縁膜19は、たとえばシリコン酸化膜とする。なお、ストップ絶縁膜18と絶縁膜19には次に説明する第2層配線が形成される。このため、その合計膜厚は第2配線

層に必要な設計膜厚で決められる。また、配線間容量を低減することを考慮すれば、誘電率の高いシリコン窒化膜からなるストッパ絶縁膜18の膜厚はストッパ機能を達するに十分な膜厚であればできるだけ薄いことが望ましい。

【0098】次に、絶縁膜19上に配線パターンに開口が形成されたフォトレジスト膜をパターニングし、このフォトレジスト膜をマスクとして第1のエッチングを施す。この第1のエッチングにより絶縁膜19に配線溝20の一部を形成する。このエッチングの際にはシリコン酸化膜がエッチングされ易くシリコン窒化膜がエッチングされ難い条件を選択する。これによりストッパ絶縁膜18(シリコン窒化膜)をエッチングストッパとして用いる。その後、シリコン窒化膜がエッチングされる条件を選択して第2のエッチングを施す。前記したようにストッパ絶縁膜18の膜厚は十分に薄く形成されているため、第2のエッチングでのオーバーエッチングは少なくてよく、第2層間絶縁膜15の過剰エッチングを抑制できる。このように2段階のエッチングを用いることにより、配線溝20の深さを均一かつ確実に形成することができる。

【0099】次に、配線溝20の内部に第2配線層の配線21を形成する。配線21は、バリア層および主導電層からなり、バリア層はたとえば窒化チタン膜、主導電層はたとえば銅である。配線21の形成は以下のようにして行う。まず、配線溝20の内部を含む半導体基板1の全面に窒化チタン膜を形成し、その後配線溝20を埋め込む銅膜を形成する。窒化チタン膜の形成にはたとえばCVD法を、銅膜の形成にはたとえばメッキ法を用いる。メッキ法による銅膜の形成前にたとえばスパッタ法により銅のシード膜を形成できる。その後、配線溝20以外の領域の銅膜および窒化チタン膜をCMP法により除去して配線21を形成できる。なお、窒化チタン膜を他の材料に代えることができる点、銅膜をスパッタ法等他の製法により形成できる点は前記の通りである。

【0100】次に、図5に示すように、第2配線層の配線21および絶縁膜19上にストッパ絶縁膜22、層間絶縁膜23、配線形成用のストッパ絶縁膜24、配線形成用の絶縁膜25を順次形成する。ストッパ絶縁膜22、24は、層間絶縁膜23あるいは絶縁膜25に対してエッチング選択比を有する材料で構成され、たとえばシリコン窒化膜とすることができる。一方層間絶縁膜23あるいは絶縁膜25はシリコン酸化膜とすることができる。

【0101】次に、絶縁膜25およびストッパ絶縁膜24に配線溝26を、層間絶縁膜23およびストッパ絶縁膜22に接続孔27を形成する。この配線溝26および接続孔27の形成には、本発明による溝および孔の形成方法である後述の第5配線層の溝44および孔45の形成方法が適用でき、この溝および孔形成方法は、第5配

線層の説明の際に詳述するので、ここでの説明は省略する。

【0102】次に、配線溝26および接続孔27の内部に第3配線層の配線28を形成する。この配線28と下層配線である配線21とを接続する接続部材は、配線28と一緒に形成される。すなわち、配線28はいわゆるデュアルダマシン法により形成される。配線28の形成方法はたとえば以下のように行なう。まず、配線溝26および接続孔27の内部を含む半導体基板1の全面にバリア層となる窒化チタン膜をたとえばCVD法により形成し、その後配線溝26および接続孔27を埋め込む銅膜をたとえばメッキ法により形成する。その後、CMP法を用いて配線溝26以外の領域の銅膜および窒化チタン膜を除去し、接続部材と一緒に形成された配線28を形成する。

【0103】なお、前記した第2配線層のように、まず接続部材(プラグ)を形成し、その後配線溝に配線28を形成するいわゆるシングルダマシン法を用いてもよい。

【0104】次に、図6に示すように、絶縁膜25および配線28上に、ストッパ絶縁膜29、層間絶縁膜30、配線形成用のストッパ絶縁膜31、配線形成用の絶縁膜32を順次形成する。これらの絶縁膜29～32については、各々前記ストッパ絶縁膜22、層間絶縁膜23、配線形成用のストッパ絶縁膜24、配線形成用の絶縁膜25と同様である。また、ストッパ絶縁膜29および層間絶縁膜30に接続部材用の接続孔33aを、ストッパ絶縁膜31および絶縁膜32に配線溝33bを前記第3配線層の場合と同様に形成する。この溝33aおよび孔33bの形成方法は、次に説明する第5配線層の溝44および孔45の加工方法を適用できる。さらに、第3配線層の配線28と同様に第4配線層の配線33を形成する。配線33は前記の通り下層の配線28と接続する接続部材と一緒に形成されるデュアルダマシン法で形成されるが、接続部材と配線とが別々に形成されるシングルダマシン法で形成してもよいことは第3配線層の場合と同じである。

【0105】次に、本発明による溝および孔形成方法である第5配線層の形成方法を説明する。図7に示すように、第4配線層の配線33および絶縁膜32上に絶縁膜34～38を順次堆積する。絶縁膜34、36は、たとえば各々シリコン窒化膜からなり、膜厚はたとえば各々50nmとする。絶縁膜35は、たとえばシリコン酸化膜からなり、膜厚はたとえば450nmとする。絶縁膜37は、たとえばシリコン酸化膜からなり、膜厚は、たとえば350nmとする。絶縁膜38は、たとえばシリコン窒化膜からなり、膜厚は、たとえば100nmとする。

【0106】シリコン窒化膜(絶縁膜34、36、38)は、たとえばプラズマCVD法を用いて形成でき

る。プラズマCVD法を用いることにより成膜温度の低温化を図ることができる。配線形成工程は、半導体装置の製造工程（いわゆる前工程）のうち、最終工程に近い工程のため、すでに形成されたデバイス構造（不純物拡散層、シリサイド層等）に影響を及ぼさない温度（たとえば400°C程度の低温）で処理することが望まれる。このような低温化の要請に合致する成膜方法としてプラズマCVD法はメリットが大きい。また、シリコン酸化膜（絶縁膜35、37）は、たとえばプラズマCVD法を用いて形成できる。プラズマCVD法を用いる場合には原料ガスとしてTEOS（Tetraethylorthosilicate：テトラエトキシシラン）を用いることができる。TEOSを用いてシリコン酸化膜（以下TEOS酸化膜という）を形成すると、膜形成時のクラスタ流動性を高くでき、ステップカバレッジに優れたシリコン酸化膜が形成できる。また、比較的低温（たとえば400°C以下）の成膜温度で緻密なシリコン酸化膜が形成できる。なお、TEOS酸化膜に代えて、低誘電率のSOG（Spin On Glass）膜を用いることもできる。たとえばフッ素を含むSOG膜等である。低誘電率のSOGを用いれば、配線間容量を低減でき、半導体装置の高性能化に寄与できる。

【0107】絶縁膜34、35には、後に説明するように接続孔45が形成され、絶縁膜34は接続孔45を形成する際のエッチングストップとして機能する。すなわち、絶縁膜35に対して絶縁膜34がエッチングされにくい条件で絶縁膜35をエッチングする。絶縁膜34に適用されるシリコン窒化膜はシリコン酸化膜に比較して高誘電率の材料であり、配線間容量を低減するにはその膜厚はできるだけ薄いことが望ましい。絶縁膜34の膜厚は、接続孔形成の際のエッチングストップに要求される必要最低限の膜厚を選択できる。絶縁膜34の膜厚を低く抑えることにより配線層間の配線間容量を低減できる。前記50nmはこのような要求に従つたものである。

【0108】絶縁膜36、37には、後に説明するように配線溝44が形成され、絶縁膜34、35の場合と同様に、絶縁膜36は配線溝44を形成する際のエッチングストップとして機能する。絶縁膜36は配線溝が形成される際のエッチングストップとしての機能が要求されるのみであり、前記したセルフアライン方式のように、配線溝形成時のエッチングストップとしての機能、および接続孔形成時のエッチングマスクとしての機能の両方の機能が要求されるわけではない。このため、絶縁膜36の膜厚をセルフアライン方式の場合より薄く形成でき、配線間容量を低減できる。絶縁膜36にもシリコン窒化膜が適用されるため、絶縁膜34の場合と同様、シリコン窒化膜の膜厚はできるだけ薄いことが望ましい。前記50nmはこのような要求に従つたものである。

【0109】絶縁膜38は、後に説明するように、配線

溝形成時のマスクとして機能する。絶縁膜38は、後に説明するように、配線形成時には除去することが可能であるため、その膜厚が配線間容量（デバイス特性）に及ぼす影響はない。よって、絶縁膜38の膜厚は、マスクとして機能する膜厚よりも大きければよく、必ずしも必要最小限の膜厚である必要はない。前記100nmはこのような条件を考慮したものである。

【0110】なお、本実施の形態では、接続孔45あるいは配線溝44を形成する際のストップ膜としてシリコン窒化膜を例示しているが、シリコン酸化膜やSOG膜に対するエッチング選択比を有する材料であればシリコン窒化膜には限られない。たとえばTEOS酸化膜に対してエッチング選択比を有する他のシリコン酸化膜であってもよい。

【0111】シリコン酸化膜（絶縁膜35、37）の膜厚は、配線に要求される厚さ、および配線層間の離間距離により任意に選択できる。ただし、配線厚さは、配線幅との関連で必要な配線断面積を確保できる条件で設計値が選択され、配線層間の離間距離は、配線間の耐電圧あるいは線間容量から要求される設計値が選択される。よって、シリコン酸化膜の膜厚はこれら設計値を考慮して選択される。

【0112】次に、図8に示すように、絶縁膜38上に、フォトリソグラフィ技術を用いてレジスト膜39を形成する。レジスト膜39は、配線パターン40aおよびスタッカドビア（Stacked Via）部40bである配線溝が形成される領域に開口が形成されるように、つまり配線溝パターンおよびビアパターンにパターニングされる。パターン幅d_Lは、たとえば350nmである。

【0113】また、図13(a)に示すように、配線パターン40aは、それが直線的に形成される部分では、同一幅で形成される。つまり、図13(b)に示すように、接続孔が形成される領域に、接続孔用のフォトマスクと配線溝用のフォトマスクとの合わせズレを考慮して、配線溝用のパターンにパターン幅（配線溝幅）よりも広い領域（いわゆるドックボーン領域D）を設ける場合があるが、本実施の形態ではそのような広い領域を形成しない。このため、配線間隔Saを最小限に形成でき、配線形成の集積度を向上でき、論理を高集積化できる。また、配線パターン40aが直線状で単純であるため、フォトリソグラフィ時の露光光の干渉が生じず、現像パターンの加工精度を向上できる。

【0114】なお、レジスト膜39の形成前に反射防止膜を形成してもよい。本実施の形態では第4配線層の形成にCMP法を用いているため、また、第4配線層上にCVD法を用いて絶縁膜34～38を形成しているため、絶縁膜38上は平坦化されて形成される。しかし、絶縁膜は一般に露光光の波長領域で透明であり、仮に反射防止膜が形成されなければ、第4配線層の配線33にまで露光光が到達し、配線33により散乱光が生じ、散

乱光によるレジスト膜39の露光精度が低下して精密な加工が阻害される。しかし、絶縁膜38上に反射防止膜を形成する場合には、このような散乱光は発生せず、レジスト膜39の加工（パターニング）精度を向上できる。

【0115】次に、図9に示すように、レジスト膜39の存在下でドライエッチング処理を施し、絶縁膜38に（反射防止膜が形成されている場合には反射防止膜にも）配線溝パターン40a, 40bを転写する。ドライエッチングの条件は、シリコン窒化膜がエッチングされる条件を選択する。すなわち、圧力をたとえれば50mTorr、エッチングガスをたとえればCHF₃、O₂、Arの混合ガスとし、その流量をたとえれば各々20、20、200sccm、RF(Radio Frequency)投入電力をたとえれば1200W、基板温度をたとえれば0℃の条件を選択できる。このような条件を選択した場合、シリコン窒化膜である絶縁膜38のエッチング速度とその下層の絶縁膜37（シリコン酸化膜）のエッチング速度がほぼ同じとなる。つまり絶縁膜38を絶縁膜37に対して選択的にエッチングすることは困難である。しかし、前記の通り、絶縁膜38の膜厚は、絶縁膜37に対して十分に薄く、絶縁膜38のエッチング処理の際に多少オーバーエッチングを行っても絶縁膜37のエッチングされる量はその膜厚に比して相対的に少ない量である。このため、このエッチング処理においては選択性は特に要求されない。

【0116】なお、反射防止膜が形成されている場合には、反射防止膜のエッチングは、以下の条件を選択できる。すなわち、すなわち、圧力をたとえれば750mTorr、エッチングガスをたとえればCHF₃、CF₄、Arの混合ガスとし、その流量をたとえれば各々10、90、950sccm、RF投入電力をたとえれば900W、基板温度をたとえれば40℃の条件を選択できる。

【0117】次に、図10に示すように、レジスト膜39を除去する。このようにして配線の溝パターン40a, 40bが転写された配線溝パターン層が形成される。配線溝パターン層は、シリコン窒化膜である絶縁膜38からなる。

【0118】次に、図11に示すように、配線溝パターン層である絶縁膜38を覆うように反射防止膜41を形成し、さらにレジスト膜42を形成する。反射防止膜41は、たとえばノボラック系樹脂等の有機材料を用いることができる。本実施の形態では、前記の通り絶縁膜38を薄く形成しているため、反射防止膜41を通常に塗布するのみで、溝パターン40（絶縁膜38の段差）を埋め込んで反射防止膜41の表面を平坦化することができる。すなわち、反射防止膜41は、表面を平坦化する平坦化膜として作用する。平坦化膜である反射防止膜を設けることによりレジスト膜42を平坦に形成して露光による散乱あるいは段差に起因する露光焦点のズレを防

止し、レジスト膜42のパターニング精度を向上できる。

【0119】次に、図12に示すように、レジスト膜42に孔パターン43を形成する。孔パターン43の形成は、孔パターンに整形された露光光の照射と現像による通常のフォトリソグラフィ手法を用いる。本実施の形態では、図13(a)に示すように、孔パターン43の口径d_Hは、溝パターン40a, 40bのパターン幅d_Lと同じに形成する。このため、溝パターン40a, 40bと孔パターン43とのマスク合わせにズレが生じた場合、図13(a)に示すように、孔パターン43は、溝パターン40a, 40bからはみ出して形成される。一般に溝パターン40a, 40bと孔パターン43とを正確に合わせることは困難なため、本実施の形態は溝パターン40a, 40bと孔パターン43がずれて形成されることを前提としている。すなわち、本実施の形態の場合、孔パターン43は、溝パターン40a, 40bの開口が形成されていない領域つまり絶縁膜38が残されている領域上にも形成される。この点、図13(b)に示すように、配線溝Gの一部を広げた領域（ドッグボーン領域D）を有するような場合と相違する。このような場合には、配線ピッチPbを図13(a)の場合の配線ピッチPaより大きくする（Pb > Pa）必要があり、配線密度が低下する。また、孔パターン43のマスクズレを考慮してドッグボーン領域Dを形成しているため、孔パターン43の下部には絶縁膜38に相当する膜（シリコン窒化膜で構成される）は形成されない。その結果、本実施の形態とは次に説明する接続孔のエッチング条件が相違する。すなわち、本実施の形態では、シリコン窒化膜38がエッチングされる条件で孔パターン43が転写されるが、図13(b)のような場合にはシリコン窒化膜38がエッチングされないような条件でエッチングされる。これにより、図17および図22を用いて後述するように、孔パターン43の平面形状を有する接続孔45に層間接続配線50a, 50bが形成され、溝パターン40a, 40bと孔パターン43の和の平面形状を有する配線溝44a, 44bに配線49a, 49bが形成される。

【0120】なお、図13(a)のA-B線に沿った断面が図12のA-Bに対応する。このように、本実施の形態においては、配線パターン40aおよびビア部40bの幅d_Lと、孔パターン43の口径d_Hを同じに形成しているので、溝パターンである配線パターン40a、ビア部40b間の間隔、配線ピッチを縮小でき、配線を高密度化して論理を高集積化できる。また、絶縁膜38をエッチングする条件で孔パターン43を転写することにより、接続孔45を孔パターン43の平面形状で形成でき、その口径をd_Hにすることができるとともに配線49a, 49bのパターンの平面形状を溝パターン40a, 40bと孔パターン43との和の平面形状にするこ

とができるので、配線49a, 49bと接続孔45との重なり面積を孔パターン43の平面形状とすることができ、配線49a, 49bの抵抗を低減できる。このように、本実施の形態においては、配線を高密度化できるとともに配線49a, 49bの抵抗を低減できる。すなわち、ビア部40bにおいても、ビア配線49bの平面形状は、溝パターン40bと孔パターン43との和の平面形状で形成され、ビア配線49bと接続孔45との重なり面積を孔パターン43の平面形状とすることができるので、ビア配線であるスタックドビア部49bの抵抗を低減できる。すなわち、層間接続配線50a, 50bを、配線49a, 49bの幅Lwと同じ寸法を有し、かつ孔パターン43の平面形状で形成できる。また、GND電位やVcc (Vcc > GND電位) を供給する電源配線やクロック配線など、配線49a, 49bよりも配線幅の広い配線40cは、図13(c)に示すように、ドッグボーンを設けなくてもよく、同一幅で直線的に形成されており、加工精度を向上できる。すなわち、本実施の形態では、図13(a)および図13(c)に示す溝パターン40a, 40b, 40cで構成される。

【0121】次に、図14に示すように、孔パターン43が形成されたレジスト膜42の存在下でエッティング処理を施し、反射防止膜41、絶縁膜37、36、絶縁膜38の一部に孔パターン43を転写する。反射防止膜41のエッティングには、前記同様、圧力をたとえれば750mTorr、エッティングガスをたとえばCHF₃、CF₄、Arの混合ガスとし、その流量をたとえば各々100、90、950scm、RF投入電力をたとえば900W、基板温度をたとえば40°Cの条件を選択できる。絶縁膜37、36、絶縁膜38の一部のエッティング処理には、次の2通りの方法を探ることができる。

【0122】第1の方法は、図14に示したような孔パターン43を、1ステップでエッティング処理する方法である。この場合、エッティング処理の条件は、シリコン窒化膜とシリコン酸化膜とが同等のエッティング速度でエッティングされる条件を選択する。たとえば、圧力を50mTorr、エッティングガスをCHF₃、O₂、Arの混合ガスとし、その流量を各々50、10、500scm、RF投入電力を3200W、基板温度を-20°Cの条件を選択できる。このような条件を選択した場合、シリコン窒化膜からなる絶縁膜38、シリコン酸化膜からなる絶縁膜37、およびシリコン窒化膜からなる絶縁膜36までほぼ同じ速度でにエッティングされる。エッティングの深さ(孔パターン43の深さ)は、エッティング処理時間で制御できる。

【0123】第2の方法は、まずシリコン窒化膜がエッティングされる条件で絶縁膜38の一部を除去する第1ステップのエッティングと、シリコン酸化膜はエッティングされるがシリコン窒化膜はエッティングされ難い選択エッティングの条件で絶縁膜37をエッティングする第2ステップ

のエッティングと、さらにシリコン窒化膜がエッティングされる条件で絶縁膜36をエッティングする第3ステップのエッティングとの3段階のエッティングを行なう方式である。このような3段階方式によれば、孔パターン43のエッティング深さを容易に制御できる。すなわち、第2段階のエッティングを選択エッティングとすることにより、絶縁膜36を第2段階のエッティング処理のストップとして機能させることができ、時間管理によらなくても孔パターン43の深さを均一化することができる。第1ステップおよび第3ステップのエッティング条件は、たとえば圧力を30mTorr、エッティングガスをC₄F₈、O₂、Arの混合ガスとし、その流量を各々12、7、400scm、RF投入電力を3400W、基板温度を0°Cの条件を選択できる。第2ステップのエッティング条件は、たとえば圧力を50mTorr、エッティングガスをCHF₃、O₂の混合ガスとし、その流量を各々20、20scm、RF投入電力を1200W、基板温度を0°Cの条件を選択できる。

【0124】前記第1の方法、第2の方法のいずれの方法においても、孔パターン43は絶縁膜38を貫通して形成される。すなわち、孔パターン43と溝パターン40a, 40bとがずれて形成されても、孔パターン43は溝パターン40a, 40bに対して自己整合的に形成されず、孔パターン43の開口径は設計通りの値d_Hが確保できる。すなわち孔パターン43は溝パターン40a, 40bによらずその口径d_Hが確保され、従来のセルフアライン方式の場合のような接続孔径の減少の不具合は発生しない。

【0125】また、前記第1の方法、第2の方法、のいずれの方法においても、この段階で絶縁膜36を突き抜けて孔パターン43が絶縁膜36に形成される。すなわち、絶縁膜36に孔パターン43が転写される。これは、後に説明するように配線溝形成のためのエッティング処理において、同時に接続孔形成を行うためである。すなわち、絶縁膜37をエッティングして配線溝を形成する際に、絶縁膜36を貫通して孔パターン43が絶縁膜36に形成されていると、その孔パターン43領域の絶縁膜35も同時にエッティングされ、接続孔の一部が配線溝と同時に形成できる。この点は、後に詳述する。

【0126】なお、前記第1の方法の場合、孔パターン43と溝パターン40a, 40bの目外れ(ズレ)に起因して、図示するように孔パターン43の底部に段差Sが生じる。このような段差Sが生じても、後に説明するように、絶縁膜34がストップ機能を果たすため孔底部のエッティング深さが均一化され、問題は生じない。

【0127】次に、図15に示すように、たとえばアシング法を用いて、レジスト膜42および反射防止膜41を除去する。この段階で絶縁膜38(溝パターン層)による溝パターン40a, 40b、絶縁膜36, 37および絶縁膜38の一部による孔パターン43が形成され

る。

【0128】その後、図16に示すように、溝パターン40a, 40bおよび孔パターン43の存在下で、エッチング処理を施し、溝パターン40a, 40bを絶縁膜37に、孔パターン43を絶縁膜35に転写する。これにより配線溝44a, 44bおよび接続孔45の一部が形成される。すなわち、溝パターン40a, 40bおよび孔パターン43以外の領域には絶縁膜38が形成されているため、これがマスクとして機能し、溝パターン40a, 40bの領域で絶縁膜37がエッチングされる。孔パターン43の領域では、すでに絶縁膜37, 36に孔パターンが形成されているため、絶縁膜35がエッチングされる。このエッチングは溝および孔の両パターン領域で同時に進行し、配線溝44a, 44bおよび接続孔45の一部が同時に形成される。すなわち、接続孔45は、孔パターン43の平面形状で形成されるので、接続孔45の寸法Lwは、実質的に配線溝44a, 44bの配線幅Lwと等しく構成される。これにより配線49a, 49bの抵抗を低減できる。

【0129】このエッチング処理の条件は、シリコン窒化膜がエッチングされ難く、シリコン酸化膜がエッチングされる条件を選択する。すなわち、たとえば、圧力を30mTorr、エッチングガスをC₄F₈、Ar、O₂、COの混合ガスとし、その流量を各々20、500、9、100sccm、RF投入電力を3600W、基板温度を-20°Cとすることができる。

【0130】このような条件を選択すれば、シリコン窒化膜がエッチングされ難く、シリコン酸化膜がエッチングされやすいため、絶縁膜36が溝エッチングのストップとして、絶縁膜34が孔エッチングのストップとして機能する。これにより多少のオーバーエッチングは許容され、溝深さおよび孔深さの均一性を向上できる。また、溝深さおよび孔深さの制御を時間管理により行う必要がなく、安定して溝および孔加工が施せる。さらに、溝底部と孔底部のエッチング終了時点を揃える必要がなく、溝あるいは孔のいずれかが先にエッチングを終了してもよい。また、前記した孔パターン43底部の段差Sが存在する場合でもオーバーエッチングの段階で段差Sが吸収され、孔底部の平坦性が実現できる。

【0131】ただし、絶縁膜35および37の膜厚を最適化して出来るだけ溝および孔のエッチング終了時点を揃えることが好ましい。エッチング終了時点を揃えることにより、ストップとして機能する絶縁膜34、36の膜厚を薄くすることができ、つまり誘電率の高いシリコン窒化膜の膜厚を薄くでき、線間容量の低減に寄与できる。

【0132】次に、図17に示すように、シリコン窒化膜がエッチングされる条件でエッチング処理を行い、絶縁膜38、溝パターン40a, 40b底部の絶縁膜36、孔パターン43底部の絶縁膜34をエッチングす

る。これにより配線溝44a, 44bおよび接続孔45を完成する。このエッチング処理の条件は、たとえば、圧力を50mTorr、エッチングガスをCHF₃、O₂、Arの混合ガスとし、その流量を各々20、20、400または600sccm、RF投入電力を1200W、基板温度を0°Cの条件を選択できる。このエッチング処理によりシリコン酸化膜もエッチングされ得るが、絶縁膜38、36、34の膜厚は絶縁膜35、37に比較して十分薄いため、多少のオーバーエッチングを施しても特に問題は生じない。また、絶縁膜38は絶縁膜36、34に比較して厚く形成しているが、前記溝および孔の同時エッチングの際にマスクとして機能しているためその膜厚が減少し、本エッチング工程においては容易にエッチングされ除去される。

【0133】なお、本エッチング工程では、孔パターン43底部の絶縁膜34が除去されれば十分であり、必ずしも絶縁膜36、38が除去される必要はない。すなわち、本工程の目的は接続孔45の完成であり、接続孔45が開口されればそれで十分である。しかし、前記の通り絶縁膜36、38も絶縁膜34と同時にエッチングされるものであり、絶縁膜36がエッチングされれば配線溝底部の高誘電率材料であるシリコン窒化膜が除去され、配線間容量の低減に寄与できる。また、絶縁膜38が除去されても同様に配線間容量を低減できる。このような効果は存在する。

【0134】次に、図18に示すように、バリアメタル層46を形成する。バリアメタル層46は配線および層間接続配線の主成分である銅の拡散を防止するとともに、銅とシリコン酸化膜との接着性を向上させる機能を有する。バリアメタル層46としてはたとえばタンタル(Ta)膜を用いることができる。タンタル膜をバリアメタル層46に適用する場合、その膜厚は絶縁膜37上(基板平面上)において100nm程度とする。なお、タンタル膜に代えて窒化タンタル(TaN)、窒化チタン(TiN)等を用いても良い。これらの金属化合物膜であっても銅の拡散を防止できる限りバリアメタル層46に適用できる。バリアメタル層46は、たとえばターゲットと基板との距離が200mm程度離間したロングスロースパッタ法を用いることができる。これにより、微細な接続孔45の底部にも比較的均一な膜厚でバリアメタル層46を形成できる。なお、ロングスロースパッタ法に代えてCVD法を用いてもよく、また、通常のスパッタ法を用いてもよい。

【0135】次に、図19に示すように、バリアメタル層46上にシード層47を形成する。シード層47は、次に説明する銅のメッキ層を形成するための種(シード)となる層であり、銅で構成される。シード層47は前記のロングスロースパッタ法を用いることができるが、それに代えてCVD法をあるいは通常のスパッタ法を用いてもよい。シード層47の膜厚は基板平面上で1

00 nm程度とする。

【0136】次に、図20に示すように、銅のメッキ層48を形成する。メッキ法は、電解メッキ、無電解メッキのいずれの方法を用いても良い。メッキ層48の膜厚は基板平面上で300 nm程度とする。これにより配線溝44a, 44bおよび接続孔45を同時に埋め込む。

【0137】なお、本実施の形態では、メッキ法による銅膜（メッキ層48）の形成を示したが、スパッタ法により形成しても良い。この場合、シード層47は必要ではない。スパッタ法により銅膜を形成する場合には、接続孔45および配線溝44a, 44bに銅が埋め込まれるように熱処理を施して銅をリフローさせることができる。

【0138】次に、図21に示すように、CMP法を用いてメッキ層48およびシード層47を研磨する。銅は研磨速度が大きいので、まず先に銅の部分が除去される。

【0139】さらに研磨を継続し、図22に示すように、絶縁膜37上のバリアメタル層46（タンタル膜）も除去する。これにより配線溝44の領域以外のバリアメタル層46および銅膜（メッキ層48およびシード層47）を除去する。

【0140】CMP法による研磨には過酸化水素等の酸化剤を含みアルミナ砥粒が分散された研磨スラリーを使用できる。また、銅膜とバリアメタル層（タンタル膜）を同一プラテンで一括研磨する方法を探ることができる。研磨所要時間は、バリアメタル層46の除去が終了する状態（100%研磨）で2.5分、オーバー研磨0.5分を含めて3分とした。なお、CMP法による研磨の後、濃度0.1%のアンモニア水溶液を用いた洗浄さらに純水を用いた洗浄の2段階のブラシスクラップ洗浄により、基板表面に付着した研磨砥粒及び銅を除去できる。

【0141】以上のようにして、第5配線層の配線49a, 49bと、第4配線層の配線33と接続する層間接続配線50a, 50bが完成する。配線49a, 49bには層間接続配線50a, 50bが一体に形成されることとは前記説明から明らかである。これにより、層間接続配線50a, 50bの寸法Lwを実質的に配線49a, 49bの配線幅Lwと等しく構成できる。また、層間接続配線50a, 50bの平面形状は、孔パターン43の平面形状で構成され、配線49a, 49bは、溝パターン40a, 40bと孔パターン43の和の平面形状で構成される。

【0142】その後、同様の方法で第6配線層以上の任意の配線層が形成できるが詳細な説明は省略する。なお、前述の通り、第3配線層の配線28、第4配線層の配線33も、第5配線層の配線49a, 49bと同様の方法で形成される。また、第1配線層、第2配線層の配線を第5配線層の配線49a, 49bと同様の方法で形成しても良いのは無論である。

【0143】本実施の形態によれば、前記各工程で説明した効果に加えて、微細な配線を信頼性よく、また、低い配線間容量で形成できる。すなわち、先孔方式のように孔パターンの開口径で接続孔を形成できるため、層間接続配線の配線断面積を確保でき、一方、先孔方式の場合に問題となった深い孔内へのレジストあるいは反射防止材料の充填をする必要がない。このため、レジストあるいは反射防止材料の残留による信頼性の低下等の問題が発生しない。また、本実施の形態では中間ストップとして機能する絶縁膜36を薄く形成できるため、セルフアライン方式で問題となったよう配線間容量の増加が生じない。また、孔パターン43の口径d_Hと、溝パターン40a, 40bのパターン幅d_Lと同じ寸法で形成することにより、配線49a, 49bのピッチを縮小でき、配線密度を向上し、集積化できる。また、溝パターン40a, 40bの形成後、孔パターン43を形成し、孔パターン43を溝パターン40a, 40bに転写する、すなわち、シリコン窒化膜38を孔パターン43の形状にエッチングすることにより、層間接続配線50a, 50bを孔パターン43の平面形状で形成でき、配線49a, 49bの抵抗を低減できる。このように、配線ピッチを縮小でき、配線の密度を向上し、集積化できるとともに、配線49a, 49bの抵抗を低減できる。

【0144】なお、本実施の形態では、図14の工程において孔パターン43の形成を絶縁膜35の途中で止めたが、図25に示すように、絶縁膜34の表面に達するまで行ってもよい。このような場合でも、絶縁膜34（シリコン窒化膜）が形成されているため、前記の図15と同様にレジスト膜42、反射防止膜41の除去工程におけるマスクとして作用し（図26）、また、図26のような状態で、図16と同様に溝パターン40a, 40bの転写を絶縁膜37に行ったとしても、絶縁膜34がこの転写の際のエッチングストップとして機能する。

【0145】また、配線のうち、上下配線を接続するスタックドビア部49bについては、配線構形成用の溝パターンの形成を省略できる。すなわち、図27に示すように、上下配線を接続する部分についてはパターニングせず、配線層内に延在する配線パターン51のパターニングを行い、次に、図28に示すように、孔パターン52a, 52bが形成されたレジスト膜53を形成する。次に、レジスト膜53の存在下で前記図14におけるエッチング処理を行う。このエッチングではシリコン窒化膜がエッチングされる条件で絶縁膜38がエッチングされるため、図29のように孔パターン52bの下部に絶縁膜38が形成されていてもよい。このような場合、上下配線を接続する部分の配線溝パターン40bと接続孔パターン43の合わせズレを考慮する必要がなく、工程を簡略化できるとともに、ビア配線49bの抵抗を低抵抗に確保できる。

【0146】なお、図23(a)に本実施の形態により

形成される配線49aの平面パターンを示す。図23

(b) および(c)は、図23(a)におけるA-B線断面図およびC-D線断面図を各々示す。図示するように、配線ピッチPaを縮小しても接続孔50aの径dhは口径Wより大きくなり、接続孔部分の抵抗を低減でき、集積度の向上と接続孔部の低抵抗化をはかれる。

【0147】一方、図24に、接続孔をセルフアライメントで形成する場合(シリコン窒化膜38が図14の工程でエッティングされない場合)を比較として示す。図示するように、孔パターン43が配線49aに対して目外れして形成される場合には、接続孔は、孔パターン43と配線49aの重なり部分に形成される。このため、接続孔の口径d'は、孔パターン43の口径dより小さくなり($d' < d$)、接続孔部分の抵抗が大きくなる。これを防止するために孔パターン43の口径を大きくすれば、パターンの合わせずれを考慮して配線49aのピッチPcを大きくせざるを得ず、本実施の形態の場合のピッチPcよりも大きくなる($Pc > Pa$)。ただし、図24に示すようなセルフアライメントで形成した場合には、図14に示すエッティング工程で2段階のエッティングを行う必要がなく、それに相当するエッティング工程を簡略化して1段階のエッティング工程にできるというメリットがある。

【0148】(実施の形態2)図30および図31は、本発明の他の実施の形態である半導体装置の製造方法をその工程順に示した一部断面図である。図30および図31では、実施の形態1の第5配線層のみを示し、また、図1～図29における左側部分を示して図面を簡略化している。

【0149】本実施の形態の製造方法は、実施の形態1における図12までの工程と同様の工程の後、図30(a)に示すように、第4配線層上に、絶縁膜34～38を順次形成し、絶縁膜38に溝パターン40をパターンングした後、反射防止膜41、レジスト膜42を形成し、レジスト膜42に孔パターン43を形成する。なお、図13(a)に示すように、孔パターン43が溝パターン40に対して外れていることも同様である。

【0150】次に、図30(b)に示すように、孔パターン43が形成されたレジスト膜42の存在下でこれをマスクとし、エッティング処理を施す。反射防止膜41のエッティング条件は実施の形態1と同様である。絶縁膜36のエッティング条件は、実施の形態1の場合と相違し、シリコン酸化膜がエッティングされ、シリコン窒化膜がエッティングされ難い条件で行う。たとえば圧力を50mTorr、エッティングガスをCHF₃、O₂の混合ガスとし、その流量を各々20.20sccm、RF投入電力を1200W、基板温度を0℃の条件を選択できる。このような条件では、シリコン酸化膜はエッティングされるが、シリコン窒化膜がエッティングされ難いため、絶縁膜38がエッティングされず、絶縁膜38はレジスト膜42

とともに絶縁膜37のエッティングマスクとして機能する。このため、絶縁膜38(シリコン窒化膜)がその上部に形成されている領域の絶縁膜37はエッティングされず、孔パターン43と溝パターン40とがずれて形成されている領域では、孔パターン43は絶縁膜38に対して自己整合的に形成される。このため、接続孔は配線溝から外れて形成されることなく、配線間寸法が小さく、高密度に配線が形成されていても配線溝と接続孔とのマスクずれの影響が生じない。

【0151】なお、本実施の形態においても、絶縁膜36に孔パターン43が転写されている必要がある。絶縁膜36をエッティングする際にはシリコン窒化膜がエッティングされる条件でエッティングを行う必要がある。このため、本実施の形態では、絶縁膜37、36に孔パターン43を転写するに際して、シリコン窒化膜がエッティングされ難い条件の第1ステップのエッティングと、シリコン窒化膜がエッティングされる条件の第2ステップのエッティングとの2段階で行うこととなる。

【0152】次に、実施の形態1の図15の工程と同様にレジスト膜42および反射防止膜41を除去し(図30(c))、その後、実施の形態1の図16の工程と同様に配線溝の溝パターン40を絶縁膜37に、孔パターン43を絶縁膜35に転写する(図31(d))。さらに図31(e)に示すように、シリコン窒化膜である絶縁膜38、溝パターン40底部の絶縁膜36、孔パターン43底部の絶縁膜34を除去し、配線溝44および接続孔45を形成する。その後の工程は、実施の形態1と同様である。

【0153】本実施の形態の製造方法によれば、接続孔45が配線溝44に対して自己整合的に形成され、配線の形成密度の向上に寄与できる。

【0154】(実施の形態3)図32および図33は、本発明のさらに他の実施の形態である半導体装置の製造方法をその工程順に示した一部断面図である。図32および図33では、実施の形態2と同様に実施の形態1の第5配線層のみを示し、また、図1～図29における左側部分を示して図面を簡略化している。

【0155】本実施の形態の製造方法は、実施の形態1における図12までの工程と同様の工程の後、第4配線層上に、絶縁膜34～38を順次形成し、絶縁膜38には溝パターン40をパターンングする。その後反射防止膜41、孔パターン43を有するレジスト膜42を形成する。なお、本実施の形態では、孔パターン43が溝パターン40に対して目外れしていない場合を説明する(図32(a))。

【0156】次に、図32(b)に示すように、孔パターン43が形成されたレジスト膜42の存在下でこれをマスクとし、エッティング処理を施す。反射防止膜41のエッティング条件は実施の形態1と同様である。このエッティング処理により、絶縁膜37、36に孔パターン43

を転写する。この場合のエッチング処理は、シリコン窒化膜がエッチングされる条件による絶縁膜37、36の連続エッチング、あるいはシリコン酸化膜がエッチングされるがシリコン窒化膜はエッチングされない条件による第1ステップのエッチングの後、シリコン窒化膜がエッチングされる条件による第2ステップのエッチングの2段階エッチングのいずれかを選択できる。シリコン窒化膜がエッチングされる条件、シリコン酸化膜はエッチングされるがシリコン窒化膜がエッチングされ難い条件は、前記例示した条件を各々選択できる。

【0157】なお、本実施の形態においても、絶縁膜36に孔パターン43が転写されている必要がある。

【0158】次に、実施の形態1の図15の工程と同様にレジスト膜42および反射防止膜41を除去し(図32(c))、その後、実施の形態1の図16の工程と同様に配線溝の溝パターン40を絶縁膜37に、孔パターン43を絶縁膜35に転写する(図33(d))。さらに図33(e)に示すように、シリコン窒化膜である絶縁膜38、溝パターン40底部の絶縁膜36、孔パターン43底部の絶縁膜34を除去し、配線溝44および接続孔45を形成する。その後の工程は、実施の形態1と同様である。

【0159】(実施の形態4) 図34および図35は、本発明の他の実施の形態である半導体装置の製造方法をその工程順に示した一部断面図である。図34および図35では、実施の形態2と同様に実施の形態1の第5配線層のみを示し、また、図1～図29における左側部分を示して図面を簡略化している。

【0160】本実施の形態の製造方法は、実施の形態1における図15までの工程と同様の工程の後、第4配線層の配線33および絶縁膜32上に、絶縁膜34～38を順次形成し、絶縁膜38には溝パターン40を形成する。その後孔パターン43を有するレジスト膜を用いて絶縁膜37、36に孔パターン43を転写し、レジスト膜(および反射防止膜)を除去する(図34(a))。

【0161】ただし、絶縁膜38の膜厚は実施の形態1の場合(100nm)よりも薄くし、70nmとする。

【0162】次に、図34(b)に示すように、配線溝の溝パターン40を絶縁膜37に、孔パターン43を絶縁膜35に転写する。この転写の際のエッチング条件は、実施の形態1の場合と同様である。また、この転写の際のエッチングにおいては、絶縁膜38が70nmと薄く形成されているため、エッチングの途中で絶縁膜38の端部がエッチングされて後退する。この結果、図34(b)に示すように、溝パターン40の端部になだらかな肩部54が形成される。また、溝パターン40の絶縁膜37への転写が終了し、絶縁膜36が溝パターン40底部に露出した後は、絶縁膜36がエッチング雰囲気に曝されることとなる。このときさらにエッチングを継続すれば、絶縁膜36の端部も同様にエッチングにより

後退し、孔パターン43の端部にもなだらかな肩部55が形成される。

【0163】このような肩部54、55が形成されることにより、配線溝および接続孔の開口部が広がり、金属膜の埋め込みを容易にできる。なお、この肩部54、55の断面形状は、前記した形成の原理(マスク層端部のエッチングによる後退)から、表面に向かうに従いより大きな傾きで配線溝あるいは接続孔の幅を増大させた形状となる。

【0164】次に、図34(c)に示すように、絶縁膜38、溝パターン40底部の絶縁膜36、および孔パターン43底部の絶縁膜34をエッチングにより除去する。これにより配線溝44および接続孔45を形成する。本工程のエッチング条件は、実施の形態1の場合と同様である。

【0165】次に、実施の形態1の図18の工程と同様にバリアメタル層46を形成し(図34(d))、さらに実施の形態1の図19、20の工程と同様に、シード層47およびメッキ層48を形成する(図35

(e))。なお、本実施の形態の場合は、接続孔45および配線溝44の開口部が肩部54、55によりラウンディングが形成されているため、バリアメタル層46、シード層47のスパッタが容易に行える。すなわち、開口が広がっているため、溝あるいは孔の側壁、底面にも成膜されやすい。また、メッキ層48の形成においても開口が広がっているため、埋め込み特性に優れる。

【0166】次に、図35(f)に示すように、メッキ層48およびシード層47をCMP法により研磨し、さらに、図35(g)に示すように、バリアメタル層46もCMP法により除去する。本工程のCMP法は、実施の形態1の場合と同様である。

【0167】ただし、本実施の形態のCMP法による研磨では、絶縁膜37上のバリアメタル層46が除去された状態(ジャストエッチング)で研磨を停止するのではなく、さらに絶縁膜37の上面をも研磨するようにオーバーエッチング(オーバー研磨)を施す。このオーバーエッチングは配線溝44の肩部54の幅が一定以上縮小されるまで行う。このようにオーバーエッチングを施すことにより、肩部54のラウンディング部分を除去し、配線幅を小さくして配線間のショートあるいは耐電圧の低下を防止することができる。すなわち、肩部54のラウンディングが残存した状態で研磨を終了すれば、配線間の距離が肩部54の広がり分だけ短くなり、隣接配線間ショートの発生や隣接配線間の耐電圧の低下原因になる可能性がある。しかし本実施の形態のように絶縁膜37の表面を余分に研磨し、肩部54の相当部分まで除去すれば、配線幅の広がりが縮小され、前記のような不具合は生じない。

【0168】その後の工程は実施の形態1と同様である。

【0169】本実施の形態によれば、配線溝44および接続孔45の開口部を広く形成し、バリアメタル層46、シード層47、メッキ層48の形成を容易に、あるいは埋め込み特性を良好にことができる。

【0170】また、配線形成時のCMP法をオーバー研磨することにより、配線溝44の開口部の広がり部分を除去し、配線間隔を広く保って、配線間のリーク電流の低下、絶縁耐圧の向上を図れる。

【0171】なお、本実施の形態において配線用金属の形成は、メッキ法を例示したが、スパッタ法と熱処理によるリフローにより形成しても良い。特にリフローを用いる場合には、本実施の形態の肩部54、55(ラウンディング部)の形成は、なめらかな金属原子の流動を促進し、埋め込み特性向上の効果は顕著である。

【0172】(実施の形態5) 本実施の形態5は、実施の形態4の肩部54、55の形成方法が異なる。すなわち、本実施の形態4の肩部54、55は、図36に示すような方法によても実現できる。図36は、本発明のさらに他の実施の形態である半導体装置の製造方法をその工程順に示した一部断面図である。

【0173】すなわち、実施の形態1の図16に示す工程と同様に溝パターン40を絶縁膜37に転写する(図36(a))。このとき、孔パターン43は絶縁膜34に達しないようにエッチングを停止する。また、この段階では溝パターン40の肩だれは生じないように絶縁膜38の膜厚は十分に厚く形成する(たとえば100nm)。

【0174】次に、図36(b)に示すように、シリコン窒化膜がエッチングされる条件で絶縁膜38および絶縁膜36の一部をエッチングする。この段階で、絶縁膜38、36の端部56がエッチングにより除去される。

【0175】次に、図36(c)に示すように、シリコン酸化膜がエッチングされるがシリコン窒化膜がエッチングされ難い条件でエッチングを継続する。絶縁膜38、36の端部56にはシリコン窒化膜が形成されていないため、端部56の部分はエッチングマスクとして機能せず、また、この部分はシリコン窒化膜が薄く形成されることとなるため、このエッチング工程で肩部57が形成される。

【0176】その後、図36(d)に示すように、絶縁膜38、溝パターン40底部の絶縁膜36、および孔パターン43底部の絶縁膜34をエッチングにより除去する。これにより配線溝44および接続孔45を形成する。その後の工程は実施の形態4と同様である。

【0177】本実施の形態によれば、実施の形態4と同様に肩部57にラウンディングを形成するため、実施の形態4と同様の効果が得られる。

【0178】(実施の形態6) 図37は、本発明の半導体装置の製造方法の一例を工程順に示した一部断面図である。図37では、実施の形態1の第5配線層の任意の

部分を示し、また、配線部分とその下層の層間接続配線の部分とを示して図面を簡略化している。

【0179】本実施の形態では、実施の形態1において中間ストップとして機能する絶縁膜36が無い場合を説明する。

【0180】まず、図37(a)に示すように、下層配線33上に絶縁膜34、35および絶縁膜38を順次形成する、絶縁膜34、38はたとえばシリコン窒化膜からなり、絶縁膜35はたとえばシリコン酸化膜からなる、絶縁膜34、35、38は実施の形態1と同様であるが、絶縁膜35は1層で絶縁膜37の役割をも兼ねるため、その膜厚は850～900nmとする。次に、実施の形態1と同様にレジスト膜39を用いて絶縁膜38に溝パターン40を転写する。

【0181】次に、図37(b)に示すように、絶縁膜38の溝パターン40を埋め込む反射防止膜41を実施の形態1と同様に形成し、さらに孔パターン43を有するレジスト膜42を実施の形態1と同様に形成する。

【0182】次に、図37(c)に示すように、レジスト膜42をマスクとして、絶縁膜35に孔パターン43を転写する。転写は、実施の形態1におけると同様にシリコン酸化膜がエッチングされる条件でエッチング処理により行い、孔パターン43の絶縁膜35における深さは500nmとする。孔パターン43の深さ制御はエッチング処理時間の管理により行う。

【0183】次に、図37(d)に示すように、レジスト膜42および反射防止膜41を除去する。除去方法は実施の形態1と同様である。

【0184】次に、図37(e)に示すように、溝パターン40を有する絶縁膜38をマスクとして、溝パターン40を絶縁膜35に転写する。転写はシリコン酸化膜がエッチングされる条件でのエッチング処理により行う。エッチング条件は実施の形態1と同様である。溝パターン40の深さは400nmとし、その深さ制御はエッチング処理時間の時間管理により行う。

【0185】このエッチング処理の際、あらかじめ絶縁膜35に孔パターン43が転写されているため、この孔パターン43の領域も同時にエッチングされ、溝パターン40が400nmの深さでエッチングされた段階で、孔パターン43の底部は絶縁膜34に達する。

【0186】次に、図37(f)に示すように、絶縁膜38および孔パターン43底部の絶縁膜34が除去され、配線溝44および接続孔45が完成する。この除去工程は、シリコン窒化膜がエッチングされる条件でのエッチング処理により行う。その後の工程は実施の形態1と同様である。

【0187】本実施の形態の製造方法によれば、中間ストップであるシリコン窒化膜が形成されていないので、誘電率の高いシリコン窒化膜が配線溝底部に形成されない。この結果、配線間容量を減少し、半導体装置の性能

を向上できる。

【0188】(実施の形態7) 図38は、本発明の半導体装置の製造方法の一例を工程順に示した一部断面図である。図38では、実施の形態1の第5配線層の任意の部分を示し、また、配線部分とその下層の層間接続配線の部分とを示して図面を簡略化している。

【0189】本実施の形態では、実施の形態1において中間ストップとして機能する絶縁膜36がなく、配線溝および接続孔形成用の絶縁膜にマーカ層58を有する場合を説明する。

【0190】まず、図38(a)に示すように、下層配線33上に絶縁膜34、絶縁膜35、マーカ層58、絶縁膜37および絶縁膜38を順次形成する。絶縁膜34、35、37、38については実施の形態1と同様である。マーカ層58は、たとえばシリコン窒化膜、PSG(Phosphor-Silicate-Glass)、BPSG(Boron-Phosphor-Silicate-Glass)等を用いることができ、その膜厚は10～50nmとすることができる。マーカ層58は、後に説明するようにエッチングの際のマーカに用いることができる。絶縁膜35、37の膜厚は、合計850nmとなるように形成し、マーカ層58の位置は、次工程で説明する孔パターンの形成深さに位置するように形成する。たとえば絶縁膜37の上面から500nmの位置とする。すなわち、絶縁膜35の膜厚を約350nm、絶縁膜37の膜厚を約500nmとする(このときマーカ層の膜厚を無視している)。

【0191】次に、実施の形態1と同様にレジスト膜39を用いて絶縁膜38に溝パターン40を転写する。

【0192】次に、図38(b)に示すように、絶縁膜38の溝パターン40を埋め込む反射防止膜41を実施の形態1と同様に形成し、さらに孔パターン43を有するレジスト膜42を実施の形態1と同様に形成する。

【0193】次に、図38(c)に示すように、レジスト膜42をマスクとして、絶縁膜35に孔パターン43を転写する。転写は、実施の形態1におけると同様にシリコン酸化膜がエッチングされる条件でエッチング処理により行う。孔パターン43の深さはマーカ層58により検出する。すなわち、マーカ層58には窒素(N)、ボロン(B)、リン(P)等が含まれるため、エッチング処理のプラズマ発光分析(プラズマ分光分析)を行い、窒素、ボロン、リン等のマーカ層58に含まれる元素発光をモニタし、この発光が検出された時点でエッチングを停止し、孔パターン43の深さを制御できる。これにより、孔パターン43の深さ制御を容易に行うことができる。

【0194】次に、図38(d)に示すように、レジスト膜42および反射防止膜41を除去する。除去方法は実施の形態1と同様である。

【0195】次に、図38(e)に示すように、溝パターン40を有する絶縁膜38をマスクとして、溝パター

ン40を絶縁膜35に転写する。転写はシリコン酸化膜がエッチングされる条件でのエッチング処理により行う。エッチング条件は実施の形態1と同様である。溝パターン40の深さは400nmとし、その深さ制御はエッチング処理時間の時間管理により行う。このエッチング処理の際、あらかじめ絶縁膜35に孔パターン43が転写されているため、この孔パターン43の領域も同時にエッチングされ、孔パターン43の底部が絶縁膜34に達することは実施の形態6と同様である。

【0196】次に、図38(f)に示すように、絶縁膜38および孔パターン43底部の絶縁膜34が除去され、配線溝44および接続孔45が完成する。この除去工程は、シリコン窒化膜がエッチングされる条件でのエッチング処理により行う。その後の工程は実施の形態1と同様である。

【0197】本実施の形態の製造方法によれば、誘電率の高いシリコン窒化膜が中間層に用いられないため、配線間容量を減少し半導体装置の性能を向上できることに加え、孔パターン43転写の際のパターン深さの制御を容易に行うことができる。

【0198】なお、本実施の形態の製造方法により形成される半導体装置では、配線底部より下層にマーカ層が形成されることとなる。

【0199】(実施の形態8) 図39は、本発明の半導体装置の製造方法の一例を工程順に示した一部断面図である。図39では、実施の形態1の第5配線層の任意の部分を示し、また、配線部分とその下層の層間接続配線の部分とを示して図面を簡略化している。

【0200】まず、図39(a)に示すように、下層配線33上に絶縁膜34～37、マーカ層58、絶縁膜37'および絶縁膜38を順次形成する。絶縁膜34、36、38はたとえばシリコン窒化膜からなり、絶縁膜35、37、37'は、たとえばシリコン酸化膜からなる。これら絶縁膜は実施の形態1と同様である。また、マーカ層58は、実施の形態7と同様である。

【0201】絶縁膜37、37'の膜厚は合計で450nmとし、マーカ層58の位置は絶縁膜37'の上面から400nmの位置とする。すなわち、絶縁膜37の膜厚は、マーカ層58の膜厚を無視すれば50nmである。

【0202】次に、実施の形態1と同様にレジスト膜39を用いて絶縁膜38に溝パターン40を転写する。

【0203】次に、図39(b)に示すように、絶縁膜38の溝パターン40を埋め込む反射防止膜41を実施の形態1と同様に形成し、さらに孔パターン43を有するレジスト膜42を実施の形態1と同様に形成する。

【0204】次に、図39(c)に示すように、レジスト膜42をマスクとして、絶縁膜35に孔パターン43を転写する。転写は、シリコン酸化膜はエッチングされるがシリコン窒化膜がエッチングされ難い条件のエッチ

ング処理により行う。すなわち、シリコン窒化膜である絶縁膜36をエッチングストップに用いる。これにより、孔パターン43のパターン深さを容易に制御できる。さらに孔パターン43底部の絶縁膜36をエッチングして除去する。

【0205】次に、図39(d)に示すように、レジスト膜42および反射防止膜41を除去する。除去方法は実施の形態1と同様である。

【0206】次に、図39(e)に示すように、溝パターン40を有する絶縁膜38をマスクとして、溝パターン40を絶縁膜37'に転写する。転写はシリコン酸化膜がエッチングされる条件でのエッチング処理により行う。エッチング条件は実施の形態1と同様である。ここで、溝パターン40のエッチング深さ制御にマーカ層58を用いる。すなわち、マーカ層58に窒素、ボロン、リン等の含まれる元素発光をプラズマ発光分析によりモニタし、この発光が検出された時点でエッチングを停止し、溝パターン40の深さを制御できる。これにより、溝パターン40の深さ制御を容易に行うことができる。溝パターン40の深さはマーカ層58の形成深さである400nmに制御性よく形成される。このエッチング処理の際、あらかじめ絶縁膜35に孔パターン43が転写されているため、この孔パターン43の領域も同時にエッチングされ、孔パターン43の底部が絶縁膜34に達することは実施の形態6と同様である。なお、シリコン窒化膜である絶縁膜34が形成されているため、孔パターン43底部で多少のオーバーエッチングが行われても問題は生じない。

【0207】次に、図39(f)に示すように、絶縁膜38および孔パターン43底部の絶縁膜34が除去され、配線溝44および接続孔45が完成する。この除去工程は、シリコン窒化膜がエッチングされる条件でのエッチング処理により行う。その後の工程は実施の形態1と同様である。

【0208】本実施の形態の製造方法によれば、誘電率の高いシリコン窒化膜が中間層に用いられるものの、そのシリコン窒化膜は配線構底面より下層に形成されるため、配線間容量の増加には大きくは寄与しない。すなわち、シリコン窒化膜（絶縁膜36は配線間を接続する層間接続配線に接して形成されており、このような層間接続配線は配線形成領域に全部に形成されているわけではない。つまり、配線の形成されるごく一部にのみ層間接続配線が形成されるので、層間接続配線と絶縁膜36で構成されるキャパシタのトータル容量は少なくなる。一方、本実施の形態によれば孔パターン43の深さ制御、およびパターン40の深さ制御ともに容易に制御できる。すなわち配線溝と接続孔の形成が精密に行える。このような深さ方向の精密性（加工容易性）の向上はストップ絶縁膜（絶縁膜34、36）の膜厚を低減できる余地を生み、配線間の容量を低減できる可能性を提供す

る。つまり半導体装置の性能向上に寄与できる。

【0209】（実施の形態9）図40は、本発明の半導体装置の製造方法の一例を工程順に示した一部断面図である。図40では、実施の形態1の第5配線層の任意の部分を示し、また、配線部分とその下層の層間接続配線の部分とを示して図面を簡略化している。

【0210】本実施の形態では、実施の形態8における絶縁膜36を用いない場合を説明する。

【0211】まず、図40(a)に示すように、下層配線33上に絶縁膜34、35、マーカ層58、絶縁膜35'および絶縁膜38を順次形成する。絶縁膜34、38はたとえばシリコン窒化膜からなり、絶縁膜35、35'は、たとえばシリコン酸化膜からなる。これら絶縁膜は実施の形態1と同様である。また、マーカ層58は、実施の形態7と同様である。

【0212】絶縁膜35、35'の膜厚は合計で850nmとし、マーカ層58の位置は絶縁膜35'の上面から400nmの位置とする。すなわち、絶縁膜35の膜厚は、マーカ層58の膜厚を無視すれば450nmである。

【0213】次に、実施の形態1と同様にレジスト膜39を用いて絶縁膜38に溝パターン40を転写する。

【0214】次に、図40(b)に示すように、絶縁膜38の溝パターン40を埋め込む反射防止膜41を実施の形態1と同様に形成し、さらに孔パターン43を有するレジスト膜42を実施の形態1と同様に形成する。

【0215】次に、図40(c)に示すように、レジスト膜42をマスクとして、絶縁膜35、35'に孔パターン43を転写する。転写は、シリコン酸化膜がエッチングされる条件のエッチング処理により行う。また、孔パターン43の深さは時間管理により制御し、その深さは500nmとする。なお、このエッチングの際に孔パターン43はマーカ層58を貫通することとなるが、マーカ層からのプラズマ発光は無視する。

【0216】次に、図40(d)に示すように、レジスト膜42および反射防止膜41を除去する。除去方法は実施の形態1と同様である。

【0217】次に、図40(e)に示すように、溝パターン40を有する絶縁膜38をマスクとして、溝パターン40を絶縁膜35'に転写する。転写はシリコン酸化膜がエッチングされる条件でのエッチング処理により行う。エッチング条件は実施の形態1と同様である。ここで、実施の形態8と同様に溝パターン40のエッチング深さ制御にマーカ層58を用いる。すなわち、マーカ層58に含まれる元素発光をプラズマ発光分析によりモニタし、この発光が検出された時点でエッチングを停止し、溝パターン40の深さを制御する。これにより、溝パターン40の深さ制御を容易に行うことができる。このエッチング処理の際、あらかじめ絶縁膜35に孔パターン43が転写されているため、この孔パターン43の

領域も同時にエッティングされ、孔パターン43の底部が絶縁膜34に達することは実施の形態6と同様である。なお、シリコン窒化膜である絶縁膜34が形成されているため、孔パターン43底部で多少のオーバーエッティングが行われても問題は生じない。

【0218】次に、図40(f)に示すように、絶縁膜38および孔パターン43底部の絶縁膜34が除去され、配線溝44および接続孔45が完成する。この除去工程は、シリコン窒化膜がエッティングされる条件でのエッティング処理により行う。その後の工程は実施の形態1と同様である。

【0219】本実施の形態の製造方法によれば、誘電率の高いシリコン窒化膜が中間層に用いられず、シリコン窒化膜による配線間容量の増加が生じない。この結果半導体装置の性能を向上できる。一方、配線溝44の形成はマーカ層58を用いて制御性よく行うことができる。

【0220】(実施の形態10) 図41は、本発明の半導体装置の製造方法の一例を工程順に示した一部断面図である。図41では、実施の形態1の第5配線層の任意の部分を示し、また、配線部分とその下層の層間接続配線の部分とを示して図面を簡略化している。

【0221】まず、図41(a)に示すように、下層配線33上に絶縁膜34、絶縁膜59、59'および絶縁膜38を順次形成する。絶縁膜34、38はたとえばシリコン窒化膜からなり、絶縁膜59、59'は、たとえばシリコン酸化膜からなる。絶縁膜59には接続孔が形成され接続孔内には層間接続配線が形成される。すなわち、絶縁膜59は層間絶縁膜として機能する。絶縁膜59'には配線溝が形成され、配線溝内には配線が形成される。すなわち絶縁膜59'は線間絶縁膜として機能する。

【0222】また、絶縁膜59にはTEOS酸化膜を用いることができるが、絶縁膜59'にはたとえばTEOS酸化膜に対してエッティング選択比を有する材料を用いることができる。たとえばSOG(Spin On Glass)等である。このように絶縁膜59'として、絶縁膜59に對してエッティング選択比を有する材料を用いることにより、溝パターンを絶縁膜59'に転写する際に、絶縁膜59をエッティングストップとして用いることができる。さらに、絶縁膜59'には有機SOG、フッ素含有のSOG等低誘電率材料を用いることができる。このように低誘電率材料を線間絶縁膜(絶縁膜59')に用いることにより、同層配線間の線間容量を低減できる。一方配線層間の線間容量は、絶縁膜59の膜厚を増加することにより低減できる。なお、絶縁膜59の膜厚は450nmとし、絶縁膜59'の膜厚は400nmとする。

【0223】次に、実施の形態1と同様にレジスト膜39を用いて絶縁膜38に溝パターン40を転写する。

【0224】次に、図41(b)に示すように、絶縁膜38の溝パターン40を埋め込む反射防止膜41を実施

の形態1と同様に形成し、さらに孔パターン43を有するレジスト膜42を実施の形態1と同様に形成する。

【0225】次に、図41(c)に示すように、レジスト膜42をマスクとして、絶縁膜59、59'に孔パターン43を転写する。この転写工程は、まず、CHF₃およびC₄F₈の混合ガスを用いたエッティングによる第1処理と、C₄F₈ガスを用いたエッティングによる第2処理の2段階のエッティングにより行う。第1処理のエッティングはSOGがエッティングされるがTEOS酸化膜がエッティングされ難い条件であり、絶縁膜59(TEOS酸化膜)の上面でエッティングがストップする。すなわち絶縁膜59を第1処理のエッティングストップに用いる。これにより孔パターン43の深さ調整を容易に行い、深さの均一性を向上できる。一方、第2処理のエッティングは、TEOS酸化膜がエッティングされる条件であり、絶縁膜59にも孔パターン43を転写できる。第2処理によるエッティング深さは約50nmとする。

【0226】次に、図41(d)に示すように、レジスト膜42および反射防止膜41を除去する。除去方法は実施の形態1と同様である。

【0227】次に、図41(e)に示すように、溝パターン40を有する絶縁膜38をマスクとして、溝パターン40を絶縁膜59'に転写する。転写はSOGおよびTEOS酸化膜(絶縁膜59および59')がともにエッティングされる条件(C₄F₈の混合ガスを用いたエッティング)で行う。これにより、溝パターン40が絶縁膜59'に転写されるとともに、孔パターン43が絶縁膜59にさらに深く転写される。溝パターン40の深さはエッティング処理の時間管理により制御する。なお、孔パターン43の底部には絶縁膜34が形成されているため多少のオーバーエッティングは問題にならない。一方、溝パターン40の底部が絶縁膜59の上面に達した段階で孔パターン43の底部が絶縁膜34の上面に達している必要がある。このため、前記図41(c)の工程の段階で十分に深い孔パターン43が形成されている必要がある。また、図41(e)の工程における絶縁膜59'

(SOG)と絶縁膜59(TEOS酸化膜)とのエッティング速度の相違は、それを見込んで前記図41(c)の工程の段階における孔パターン43の深さに反映する。このような孔パターン43の深さの調整は、前記第2処理のエッティングにより行うことができる。

【0228】次に、図41(f)に示すように、絶縁膜38および孔パターン43底部の絶縁膜34が除去され、配線溝44および接続孔45が完成する。この除去工程は、シリコン窒化膜がエッティングされる条件でのエッティング処理により行う。その後の工程は実施の形態1と同様である。

【0229】本実施の形態の製造方法によれば、誘電率の高いシリコン窒化膜が中間層に用いられず、シリコン窒化膜による配線間容量の増加が生じない。また、絶縁

膜59、59'のエッチング速度の相違を利用して孔パターン43の深さおよび溝パターン40の深さを制御性よく調整できる。さらに、線間絶縁膜(絶縁膜59')に低誘電率の材料(有機SOG、フッ素含有SOG)等を用いて配線間容量を低減し、半導体装置の性能を向上できる。

【0230】なお、絶縁膜59に有機SOG、フッ素含有のSOG等低誘電率材料を用い、絶縁膜59'にTEOS酸化膜を用いても良いことは無論である。

【0231】(実施の形態11)図42は、本発明の半導体装置の製造方法の一例を工程順に示した一部断面図である。図42では、実施の形態1の第5配線層の任意の部分を示し、また、配線部分とその下層の層間接続配線の部分とを示して図面を簡略化している。

【0232】まず、図42(a)に示すように、下層配線33上に絶縁膜34～37、ハードマスク層60、転写マスク層61を順次形成する。絶縁膜34～37は実施の形態1と同様である。ハードマスク層60は、金属層でありたとえばタングステンからなる。転写マスク層61は、たとえばTEOS酸化膜である。ハードマスク層60および転写マスク層61の膜厚は各々たとえば200nm、100nmである。ハードマスク層60は、たとえばスペッタ法により、あるいはCVD法により形成できる。

【0233】転写マスク層61およびハードマスク層60は、実施の形態1における絶縁膜38と同様に溝パターン40の転写マスクとして機能するものである。転写マスクとしては、パターンの肩だれを防止する観点からはできるだけ厚い方がよい。ところが、あまりに厚い転写マスクを用いると、反射防止膜による埋め込みが十分にできず、孔パターンが形成されたレジスト膜を形成する際に段差が形成され、孔パターンの形成精度が低下する。本実施の形態では、転写マスク層61とハードマスク層60とにより溝パターン40の形成の際の肩だれを防止するとともに転写マスクの段差を低減することができる。

【0234】次に、実施の形態1と同様に溝パターン40を有するレジスト膜39を形成し、レジスト膜39を用いて転写マスク層61に溝パターン40を転写する。

【0235】次に、図42(b)に示すように、転写マスク層61の溝パターン40を埋め込む反射防止膜41を実施の形態1と同様に形成し、さらに孔パターン43を有するレジスト膜42を実施の形態1と同様に形成する。この段階での転写マスク層61の段差はたかだか100nmなのでその段差を反射防止膜41により十分に埋め込むことができる。

【0236】次に、図42(c)に示すように、レジスト膜42をマスクとして、ハードマスク層60、絶縁膜37、36、絶縁膜35の一部に孔パターン43を転写する。孔パターン43の深さはエッチング処理の時間管

理により制御する。

【0237】次に、図42(d)に示すように、レジスト膜42および反射防止膜41を除去する。除去方法は実施の形態1と同様である。さらに、転写マスク層61をマスクにしてハードマスク層60に溝パターン40を転写する。この転写は、タングステンが選択的にエッチングされる条件で行う。

【0238】次に、図42(e)に示すように、溝パターン40を有する転写マスク層61およびハードマスク層60をマスクとして、溝パターン40を絶縁膜37に転写する。転写はシリコン酸化膜がエッチングされる条件でのエッチング処理により行う。このエッチングにより転写マスク層61がエッチングされて除去されるが、ハードマスク層60が存在するため、溝パターン40は正確に転写される。エッチング条件は実施の形態1と同様である。溝パターン40の深さは絶縁膜36をエッチングストップとして機能させることにより制御できる。なお、本実施の形態では、絶縁膜36は特に必要ではない。この場合、溝パターン40の深さは本工程のエッチング処理の時間管理により制御できる。このエッチング処理の際、あらかじめ絶縁膜36を貫通して絶縁膜35の一部に孔パターン43が転写されているため、この孔パターン43の領域も同時にエッチングされ、孔パターン43の底部が絶縁膜34に達することは実施の形態1と同様である。

【0239】次に、図42(f)に示すように、溝パターン40底部の絶縁膜36、孔パターン43底部の絶縁膜34が除去され、配線溝44および接続孔45が完成する。この除去工程は、シリコン窒化膜がエッチングされる条件でのエッチング処理により行う。その後の工程は実施の形態1と同様である。

【0240】なお、本実施の形態では、ハードマスク層60はこの段階では除去せず絶縁膜37上に残存させる。ハードマスク層60は金属膜で構成されるため、配線となるメッキ層の形成工程において基板表面の導電率を低下し、メッキ層の形成を容易に行うことができる。この場合、配線形成のためのCMP研磨工程において、ハードマスク層60が除去されることはないまでもない。

【0241】本実施の形態の製造方法によれば、ハードマスク層60を用いて配線の溝パターン40を形成するため、溝パターン40の加工精度を向上できる。一方、ハードマスク層60への溝パターン40の転写は転写マスク層61を用いて行うため、孔パターン43を有するレジスト膜42の形成を高精度に行うことができる。

【0242】なお、ハードマスク層60と転写マスク層61との順序を入れ替えて形成しても良い。すなわち、溝パターン40の絶縁膜37への転写の際にハードマスク層60および転写マスク層61がトータルとしてマスクとして機能すれば十分であり、その形成順序は問題で

はない。

【0243】(実施の形態12)図43は、本発明の半導体装置の製造方法の一例を工程順に示した一部断面図である。図43では、実施の形態1の第5配線層の任意の部分を示し、また、配線部分とその下層の層間接続配線の部分とを示して図面を簡略化している。

【0244】まず、図43(a)に示すように、下層配線33上に絶縁膜34、35を順次形成する、絶縁膜34、35は実施の形態6と同様である。次に、絶縁膜35上にレジスト膜62を形成する。レジスト膜62には溝パターン40を形成する。このように、本実施の形態では絶縁膜38に相当する膜を形成せず、レジスト膜によって直接溝パターンを形成する。なお、レジスト膜62の材料には、たとえば感光性ポリイミドを用いることができる。このように感光性ポリイミドを用いることにより、次工程で説明する孔パターン用のレジスト膜に対してエッチング選択比を持たせることができ、孔パターン用レジスト膜をレジスト膜62に対して選択的に除去できる。

【0245】次に、図43(b)に示すように、レジスト膜62上に孔パターン43を有するレジスト膜63を形成する。レジスト膜63は、通常のレジスト膜(たとえばノボラック系フォトレジスト膜)を用いる。

【0246】次に、図43(c)に示すように、レジスト膜63をマスクとして、絶縁膜35に孔パターン43を転写する。孔パターン43の絶縁膜35における深さは500nmとする。孔パターン43の深さ制御はエッチング処理時間の管理により行う。

【0247】次に、図43(d)に示すように、レジスト膜63を除去する。除去方法は、たとえば酸素プラズマのアッシング法を用いる。酸素プラズマアッシングによれば、ポリイミド系レジスト膜には耐アッシング性があるため、レジスト膜62を残存させ、レジスト膜63のみを除去することが可能である。

【0248】次に、図43(e)に示すように、溝パターン40を有するレジスト膜62をマスクとして、溝パターン40を絶縁膜35に転写する。転写はシリコン酸化膜がエッチングされる条件でのエッチング処理により行う。エッチング条件は実施の形態1と同様である。溝パターン40の深さは400nmとし、その深さ制御はエッチング処理時間の時間管理により行う。

【0249】このエッチング処理の際、あらかじめ絶縁膜35に孔パターン43が転写されているため、この孔パターン43の領域も同時にエッチングされ、溝パターン40が400nmの深さでエッチングされた段階で、孔パターン43の底部は絶縁膜34に達する。この点は実施の形態6と同様である。

【0250】次に、図43(f)に示すように、レジスト膜62を除去する。レジスト膜62の除去には、たとえば酢酸ブチルを溶剤とするウェットエッチングにより

行う。さらに、孔パターン43底部の絶縁膜34を除去する。これにより配線溝44および接続孔45が完成する。この除去工程は、シリコン窒化膜がエッチングされる条件でのエッチング処理により行う。その後の工程は実施の形態1と同様である。

【0251】(実施の形態13)図44(a)は、本発明の半導体装置の製造方法の一例を示した断面図であり、実施の形態1における孔パターン43形成用のレジスト膜42の露光方法を示した断面図である。

【0252】実施の形態1の図11においてレジスト膜42を塗布形成した後、図12に示すようにフォトリソグラフィを用いて孔パターン43を形成するが、この段階をより詳細に示したのが図44(a)である。

【0253】図44(a)において、第4配線層の配線33と同層に形成されているのは第4配線層のマーカ64である。また、レジスト膜42上に形成されているのは、孔パターンのマスク65であり、マスク65には孔パターン43とともにマスク65のマーカ66も設けられている。

【0254】ここで、マスク65を用いてレジスト膜42を露光するが、マスク65のアライメント(マスク合わせ)は、第4配線層(下層配線)のマーカ64を基準に行う。つまり、第4配線層のマーカ64とマスク65のマーカ66とが一致するようにマスク65のアライメントを行い、その後マスク65の上面より露光光を照射してレジスト膜42を感光させる。感光部67は、その後の化学的処理により除去されて孔パターン43が図12に示すとおり形成される。

【0255】このような製造方法により、孔パターン43のアライメントを容易に、また、正確に行なうことができる。すなわち、実施の形態1で説明した通り、溝パターン40は絶縁膜38に形成されるが、この溝パターン40を基準に孔パターン43を形成するとマスク合わせが困難になる。つまり、絶縁膜38の膜厚はせいぜい100nmと薄く、また、絶縁膜38は一般に可視光に対して透明であるため、絶縁膜38にマーカを設けてもそのマーカの検出は困難である。仮に検出したとしても絶縁膜38のマーカの読みとりは困難であるためそれを基準にマスク65のマーカを合わせることは難しい。一方、配線33のマーカ64は金属で構成されるため、マスクアライナーによる読みとりは容易であり、マスク合わせも正確に行える。また、孔パターン43を下層配線のマーカ64を基準に形成することにより、下層配線33と接続孔45とのずれを最小に抑制でき、確実な上下配線間のコントラクトを実現できる。他方、溝パターン40は下層配線のマーカ64を基準に形成されるが、孔パターン43に対してマスクずれが生じても特に問題を生じないことは前記の通りである。よって、本実施の形態によれば、前記の通り孔パターン43のアライメントを容易に、また、正確に行なうことができる。

【0256】なお、図44(b)に示すように、絶縁膜38にもマーカ68を設け、このマーカ68とマーカ64との中央にマスク65のマーカ66を合わせてアライメントを行うことができる。このようにしてもマスク65のアライメントを容易に行うことができ、また、絶縁膜38のマーカ68の読みとり誤差を最小限に抑えることができる。

【0257】(実施の形態14) 図45は、本発明のさらに他の実施の形態を示した平面図および断面図である。本実施の形態では、実施の形態2における孔パターン43の形状を、その配線溝方向(x方向)に垂直な方向(y方向)の長さ(寸法)を、溝パターン40の幅よりも大きくした場合について説明する。すなわち、図45(a)の平面図に示すように、孔パターン43のy方向の長さLyを配線溝(溝パターン40)の幅Lwより大きくした場合である。孔パターン43のy方向の長さLyは、たとえば幅Lw+合わせ余裕で構成される。このような場合、実施の形態2の製造方法によれば、孔パターン43のy方向でのエッチング端部は溝パターン40で規定され、つまり溝パターン40に自己整合的に形成され、孔パターン43の開口径が口径Lwより縮小されることはない。一方、孔パターン43のy方向の寸法は溝パターン40で規定されるため、溝パターン40の幅Lwより大きく形成されることがない。その結果、層間接続配線50の断面積(Lw×Lx)を確保してその抵抗を低減し、かつ、配線間の寸法を最小にすることができる、半導体装置の高性能化、高集積化と高信頼化に寄与できる。

【0258】次に、断面図(b1, c1~b3, c3)に従って説明する。なお、図45(b1)~(b3)は、図45(a)におけるb-b'線断面図を示し、図45(c1)~(c3)は、図45(a)におけるc-c'線断面図を示す。

【0259】まず、図45(b1), (c1)に示すように、下層配線33上に実施の形態6と同様な絶縁膜34、35および絶縁膜38を順次形成し、実施の形態1と同様に絶縁膜38に溝パターン40を転写する。その後、絶縁膜38の溝パターン40を埋め込む反射防止膜41を実施の形態1と同様に形成し、さらに孔パターン43を有するレジスト膜42を実施の形態1と同様に形成する。このとき、図45(c1)に示すように、c-c'線方向(y方向)においては、孔パターン43は溝パターン40よりも広く形成される。

【0260】次に、図45(b2), (c2)に示すように、レジスト膜42をマスクとして、絶縁膜35に孔パターン43を転写する。転写は、実施の形態2におけると同様にシリコン酸化膜がエッチングされるが、シリコン窒化膜がエッチングされ難い条件でエッチング処理することにより行う。従って、図45(c2)に示すように、y方向においては孔パターン43は溝パターン4

0に対して自己整合的に形成され、レジスト膜42の孔パターン43にかかる絶縁膜38は、その一部がエッチングされるのみで絶縁膜38下部の絶縁膜35はエッチングされない。

【0261】なお、孔パターン43の絶縁膜35における深さは500nmとし、その深さ制御はエッチング処理時間の管理により行う。

【0262】次に、レジスト膜42および反射防止膜41を除去する。除去方法は実施の形態1と同様である。

【0263】次に、図45(b3), (c3)に示すように、絶縁膜38(溝パターン40)をマスクとして、絶縁膜35にエッチング処理を施す。これにより溝パターン40を絶縁膜35に転写する。転写はシリコン酸化膜がエッチングされる条件でのエッチング処理により行う。エッチング条件は実施の形態1と同様である。これにより、接続孔45の寸法Lwを実質的に配線44の幅Lwと等しくできる。溝パターン40の深さは400nmとし、その深さ制御はエッチング処理時間の時間管理により行う。このエッチング処理の際、あらかじめ絶縁膜35に孔パターン43が転写されているため、この孔パターン43の領域も同時にエッチングされ、溝パターン40が400nmの深さでエッチングされた段階で、孔パターン43の底部は絶縁膜34に達することは実施の形態1と同様である。その後の工程は実施の形態1と同様である。これにより、実施の形態1と同様に、配線44、接続孔45が形成され、そこに配線49(層間接続配線50)が形成される。

【0264】本実施の形態の製造方法によれば、レジスト膜42の孔パターン43を広く形成し、かつ、絶縁膜38(溝パターン40)に対して自己整合的に孔パターンを形成するため、孔パターン43と溝パターン40とのマスク合わせにずれが発生してもy方向においてはそのずれを吸収することができる。また、y方向にずれを生じても接続孔が欠けることがなく、その断面積(口径)を設計通り口径Lwに確保することができる。すなわち、接続孔45の寸法Lwを実質的に配線44の幅Lwと等しくできる。これにより、配線49の抵抗を低減でき、層間配線接続の信頼性を向上し、半導体装置の性能、信頼性の向上に寄与できる。また、孔パターン43のy方向における幅Lyを配線溝の幅Lwより大きく形成しても、絶縁膜35に形成される孔パターン43のy方向の幅は配線幅Lwにより規定され、それより大きく形成されることがない。このため配線間隔を設計の最小限に設定することができ、配線密度の向上を図り、半導体装置の高集積化に寄与できる。

【0265】なお、図46(a)に、本実施の形態により形成される配線49aの平面パターンを示す。図46(b)は(a)におけるG-H線断面図を示す。図示するように、配線49aのパターンと孔パターン43の重複部分に接続孔(斜線のハッキングを施した部分)が形

成される。形成される接続孔の口径は配線49aの幅Wと同じであり、接続孔部分の抵抗を低くすることができる。

【0266】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0267】たとえば、上記実施の形態は、その趣旨を逸脱しない範囲で、相互に組み合わせて適用できる。たとえば、実施の形態4、5で説明した肩部のラウンディングを実施の形態11を除く他の実施の形態に適用できる。

【0268】また、上記実施の形態のうち絶縁膜38を有するものについては、絶縁膜38としてシリコン窒化膜を例示したが、下層のシリコン酸化膜とエッチング選択比を有する限り他の材料を用いてもよい。たとえばタンゲステン、窒化チタン(TiN)、アルミニウム(A1)、タンタル(Ta)、モリブデン(Mo)、または、これらの窒化物等を用いても良い。

【0269】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0270】すなわち、微細なデュアルダーマン構の形成であっても接続孔内への異物の残留を回避し、配線接続の信頼性および半導体装置性能の向上を図ることができる。

【0271】また、接続孔の加工面積を確保して、配線層間の接続抵抗が低減できる技術を提供でき、半導体装置の性能向上を図ることができる。

【0272】また、配線間の容量を低減し、半導体装置の性能向上が図れる。

【図面の簡単な説明】

【図1】本発明の一実施の形態(実施の形態1)である半導体装置の製造方法の一例を工程順に示した断面図である。

【図2】実施の形態1の半導体装置の製造方法の一例を工程順に示した断面図である。

【図3】実施の形態1の半導体装置の製造方法の一例を工程順に示した断面図である。

【図4】実施の形態1の半導体装置の製造方法の一例を工程順に示した断面図である。

【図5】実施の形態1の半導体装置の製造方法の一例を工程順に示した断面図である。

【図6】実施の形態1の半導体装置の製造方法の一例を工程順に示した断面図である。

【図7】実施の形態1の半導体装置の製造方法の一例を工程順に示した断面図である。

【図8】実施の形態1の半導体装置の製造方法の一例を

工程順に示した断面図である。

【図9】実施の形態1の半導体装置の製造方法の一例を工程順に示した断面図である。

【図10】実施の形態1の半導体装置の製造方法の一例を工程順に示した断面図である。

【図11】実施の形態1の半導体装置の製造方法の一例を工程順に示した断面図である。

【図12】実施の形態1の半導体装置の製造方法の一例を工程順に示した断面図である。

【図13】図13(a)は、実施の形態1の配線パターンと孔パターンとの重なり具合を示した平面図であり、図13(b)は、比較のために示したドッグボーンを有する場合の平面図である。図13(c)は、実施の形態1の配線パターンと孔パターンの他の例を示した平面図である。

【図14】実施の形態1の半導体装置の製造方法の一例を工程順に示した断面図である。

【図15】実施の形態1の半導体装置の製造方法の一例を工程順に示した断面図である。

【図16】実施の形態1の半導体装置の製造方法の一例を工程順に示した断面図である。

【図17】実施の形態1の半導体装置の製造方法の一例を工程順に示した断面図である。

【図18】実施の形態1の半導体装置の製造方法の一例を工程順に示した断面図である。

【図19】実施の形態1の半導体装置の製造方法の一例を工程順に示した断面図である。

【図20】実施の形態1の半導体装置の製造方法の一例を工程順に示した断面図である。

【図21】実施の形態1の半導体装置の製造方法の一例を工程順に示した断面図である。

【図22】実施の形態1の半導体装置の製造方法の一例を工程順に示した断面図である。

【図23】図23(a)は実施の形態1の半導体装置の配線パターンを示した平面図であり、(b)および(c)は(a)の断面図である。

【図24】比較のために示した半導体装置の配線パターンを示した平面図および断面図である。

【図25】実施の形態1の半導体装置の製造方法の他の例を工程順に示した断面図である。

【図26】実施の形態1の半導体装置の製造方法の他の例を工程順に示した断面図である。

【図27】実施の形態1の半導体装置の製造方法のさらに他の例を工程順に示した断面図である。

【図28】実施の形態1の半導体装置の製造方法のさらに他の例を工程順に示した断面図である。

【図29】実施の形態1の半導体装置の製造方法のさらに他の例を工程順に示した断面図である。

【図30】(a)～(c)は、本発明の他の実施の形態(実施の形態2)である半導体装置の製造方法をその工

程順に示した一部断面図である。

【図31】(d)～(e)は、実施の形態2の半導体装置の製造方法をその工程順に示した一部断面図である。

【図32】(a)～(c)は、本発明のさらに他の実施の形態(実施の形態3)である半導体装置の製造方法をその工程順に示した一部断面図である。

【図33】(d)～(e)は、実施の形態3の半導体装置の製造方法をその工程順に示した一部断面図である。

【図34】(a)～(d)は、本発明のさらに他の実施の形態(実施の形態4)である半導体装置の製造方法をその工程順に示した一部断面図である。

【図35】(e)～(g)は、実施の形態4の半導体装置の製造方法をその工程順に示した一部断面図である。

【図36】(a)～(d)は、本発明のさらに他の実施の形態(実施の形態5)である半導体装置の製造方法をその工程順に示した一部断面図である。

【図37】(a)～(f)は、本発明のさらに他の実施の形態(実施の形態6)である半導体装置の製造方法をその工程順に示した一部断面図である。

【図38】(a)～(f)は、本発明のさらに他の実施の形態(実施の形態7)である半導体装置の製造方法をその工程順に示した一部断面図である。

【図39】(a)～(f)は、本発明のさらに他の実施の形態(実施の形態8)である半導体装置の製造方法をその工程順に示した一部断面図である。

【図40】(a)～(f)は、本発明のさらに他の実施の形態(実施の形態9)である半導体装置の製造方法をその工程順に示した一部断面図である。

【図41】(a)～(f)は、本発明のさらに他の実施の形態(実施の形態10)である半導体装置の製造方法をその工程順に示した一部断面図である。

【図42】(a)～(f)は、本発明のさらに他の実施の形態(実施の形態11)である半導体装置の製造方法をその工程順に示した一部断面図である。

【図43】(a)～(f)は、本発明のさらに他の実施の形態(実施の形態12)である半導体装置の製造方法をその工程順に示した一部断面図である。

【図44】(a)および(b)は、本発明のさらに他の実施の形態(実施の形態13)である半導体装置の製造方法を示した一部断面図である。

【図45】(a)、(b1)～(b3)、(c1)～(c3)は、本発明のさらに他の実施の形態(実施の形態14)である半導体装置の製造方法をその工程順に示した平面図および一部断面図である。

【図46】実施の形態14の半導体装置の配線パターンを示した平面図である。

【符号の説明】

- 1 半導体基板
- 2 素子分離領域
- 3 p ウェル

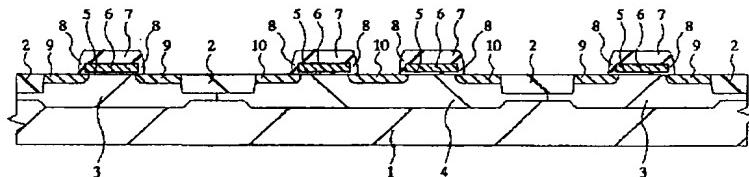
- 4 n ウェル
- 5 ゲート絶縁膜
- 6 ゲート電極
- 7 キャップ絶縁膜
- 8 サイドウォールスペーサ
- 9 n 型半導体領域
- 10 p 型半導体領域
- 11 第1層間絶縁膜
- 12 接続孔
- 13 プラグ
- 14 配線
- 15 第2層間絶縁膜
- 16 接続孔
- 17 プラグ
- 18 ストッパ絶縁膜
- 19 絶縁膜
- 20 配線溝
- 21 配線
- 22 ストッパ絶縁膜
- 23 層間絶縁膜
- 24 ストッパ絶縁膜
- 25 絶縁膜
- 26 配線溝
- 27 接続孔
- 28 配線
- 29 ストッパ絶縁膜
- 30 層間絶縁膜
- 31 ストッパ絶縁膜
- 32 絶縁膜
- 33 配線
- 34 絶縁膜
- 35 絶縁膜 (シリコン酸化膜)
- 36 絶縁膜 (シリコン窒化膜)
- 37 絶縁膜
- 37' 絶縁膜 (シリコン窒化膜)
- 38 絶縁膜 (シリコン窒化膜)
- 39 レジスト膜
- 40a, 40b 溝パターン
- 41 反射防止膜
- 42 レジスト膜
- 43, 43a, 43b 孔パターン
- 44a, 44b 配線溝
- 45 接続孔
- 46 バリアメタル層
- 47 シード層
- 48 メッキ層
- 49a, 49b 配線
- 50a, 50b 層間接続配線
- 51 配線パターン

52a, 52b 孔パターン
 53 レジスト膜
 54 肩部
 55 肩部
 56 端部
 57 肩部
 58 マーカ層
 59 絶縁膜
 59' 絶縁膜（シリコン窒化膜）
 60 ハードマスク層
 61 転写マスク層
 62 レジスト膜
 63 レジスト膜
 64 マーカ

65 マスク
 66 マーカ
 67 感光部
 68 マーカ
 D ドッグボーン領域
 G 配線溝
 Lw 幅（配線幅）
 Ly 幅
 Qn nチャネルMISFET
 Qp pチャネルMISFET
 S 段差
 dH 口径
 dL パターン幅

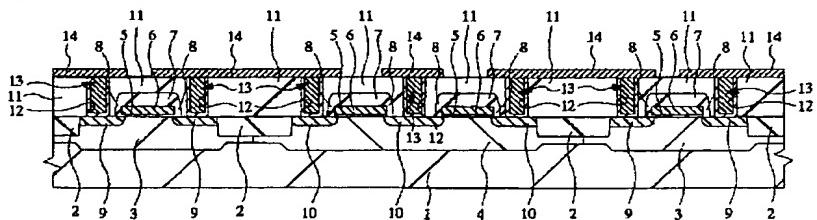
【図1】

図 1



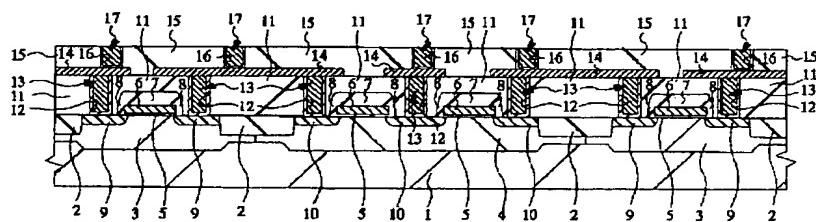
【図2】

図 2



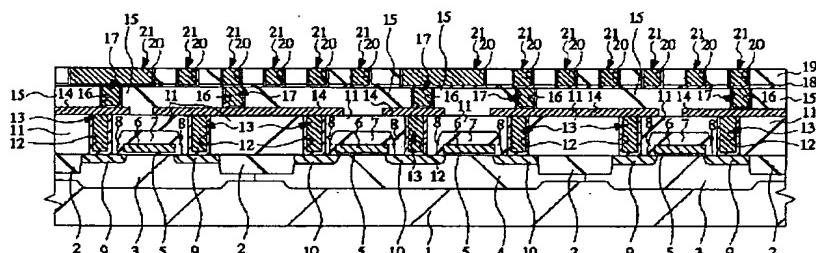
【図3】

图 3



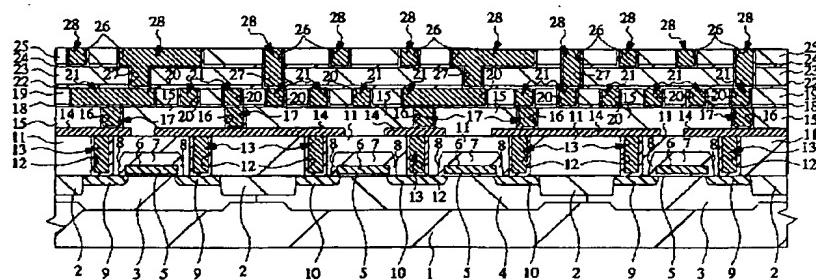
【図4】

4



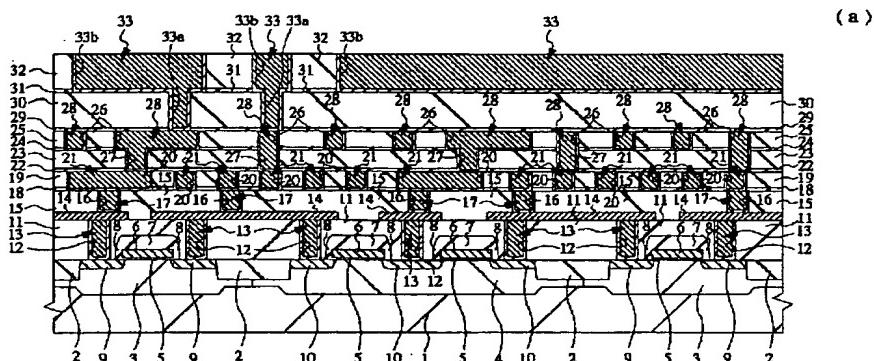
〔図5〕

图 5



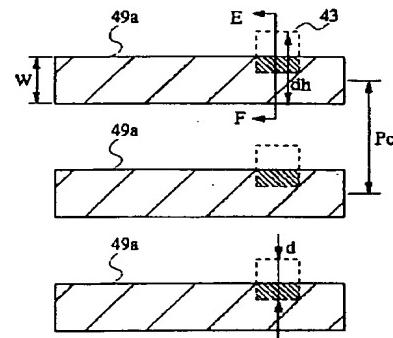
【図6】

图 6



【図24】

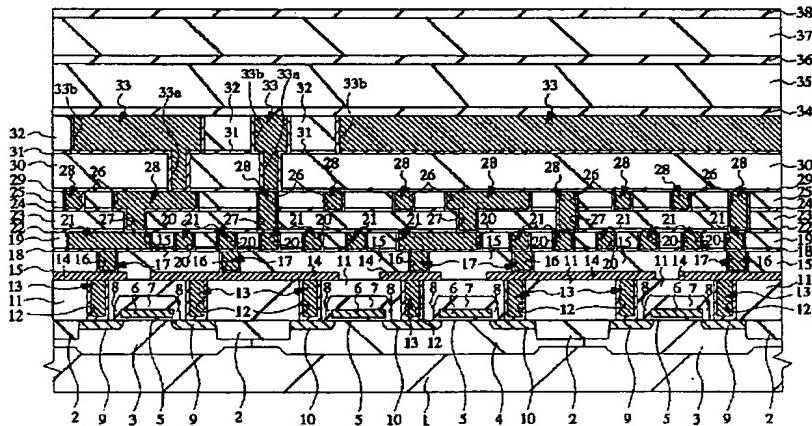
图 24



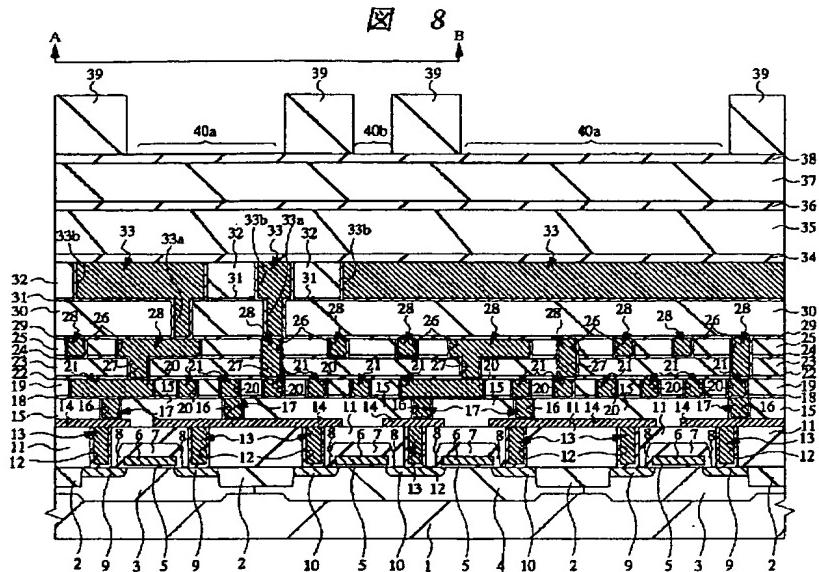
(b)

【図7】

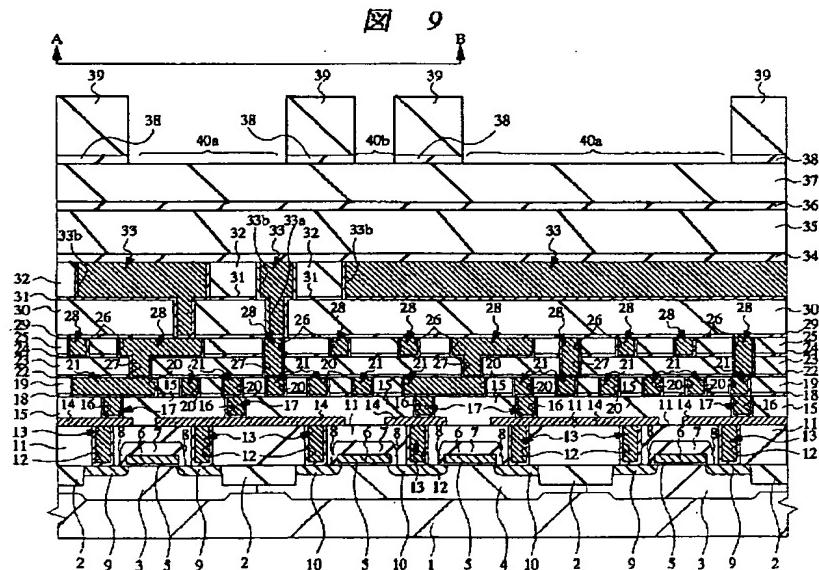
7



【图8】

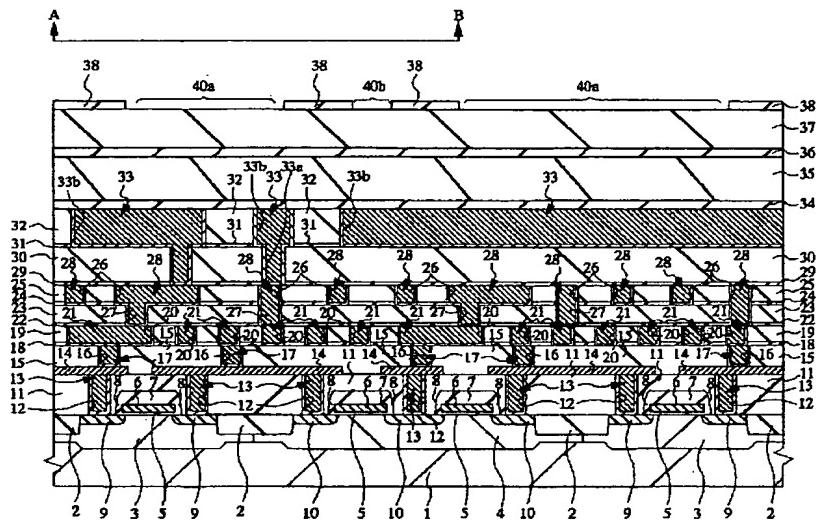


[図9]



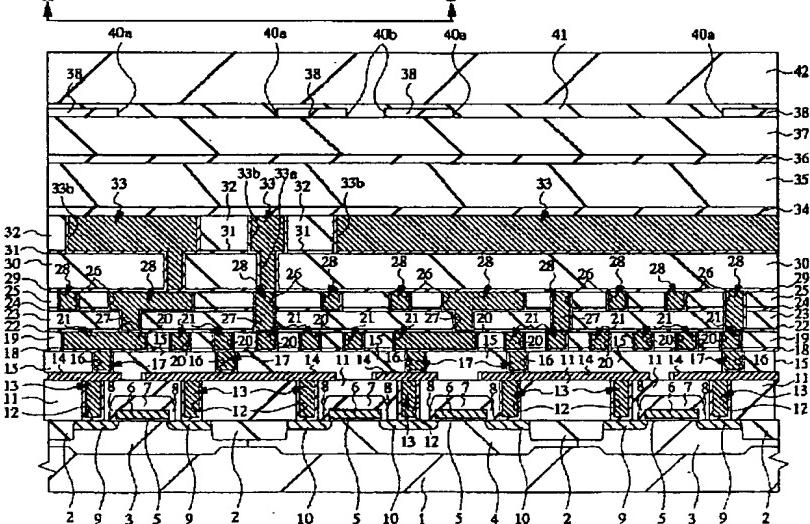
【図10】

図 10

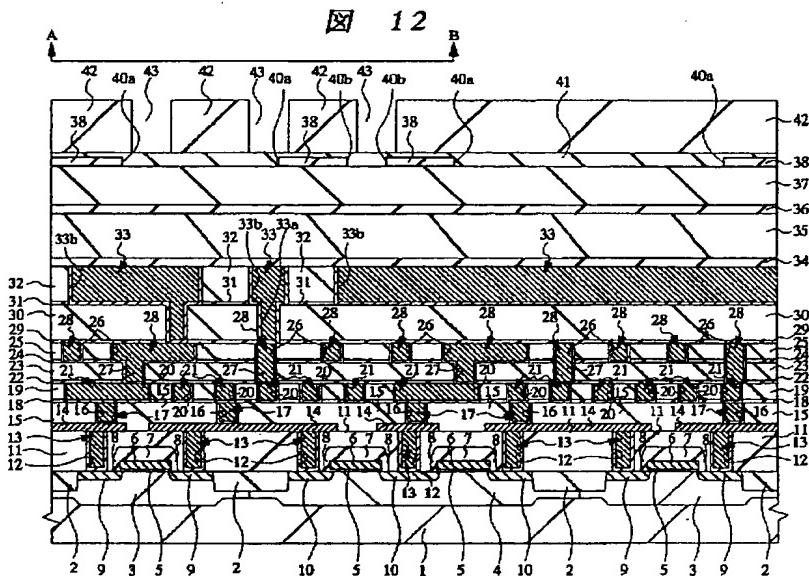


【図11】

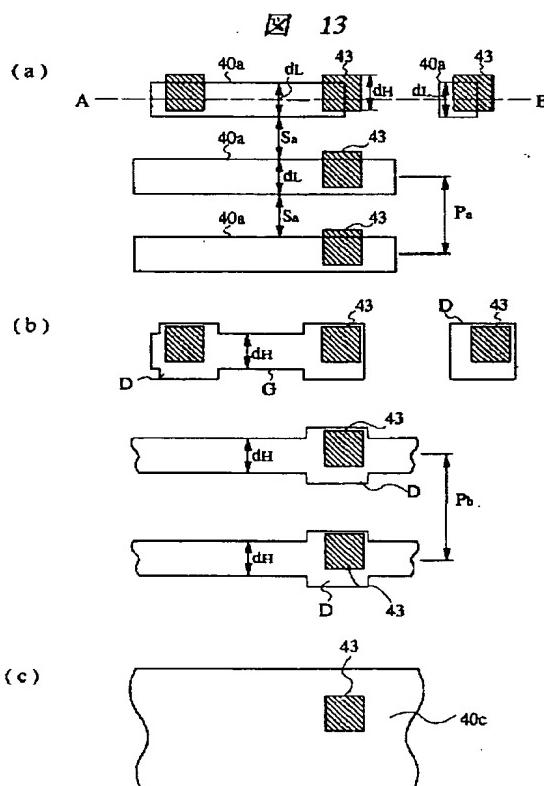
図 11



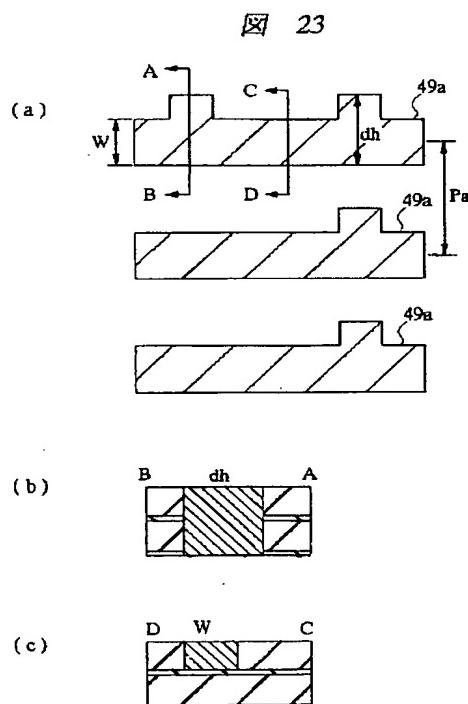
【図12】



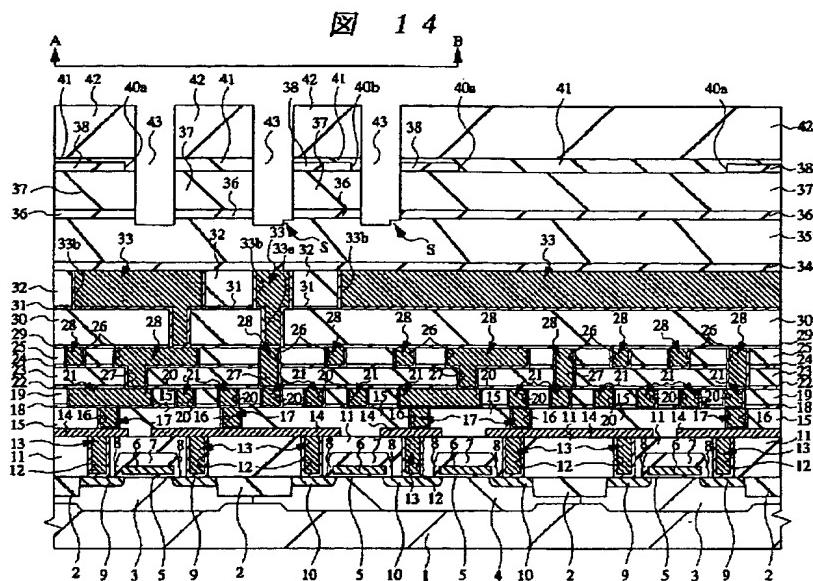
【图 1-3】



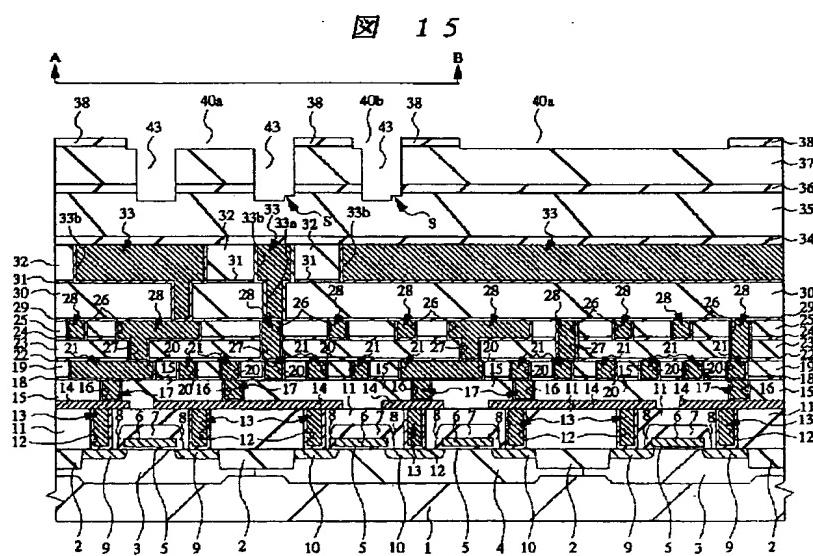
【図23】



【図14】

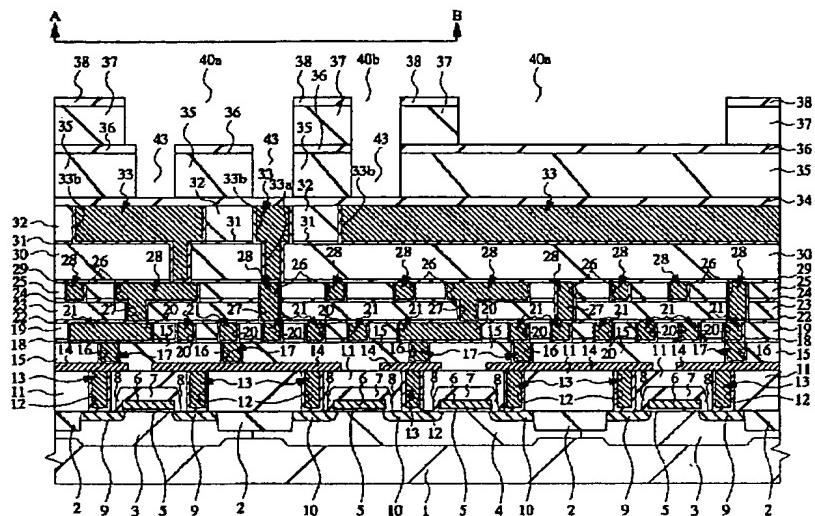


[図15]



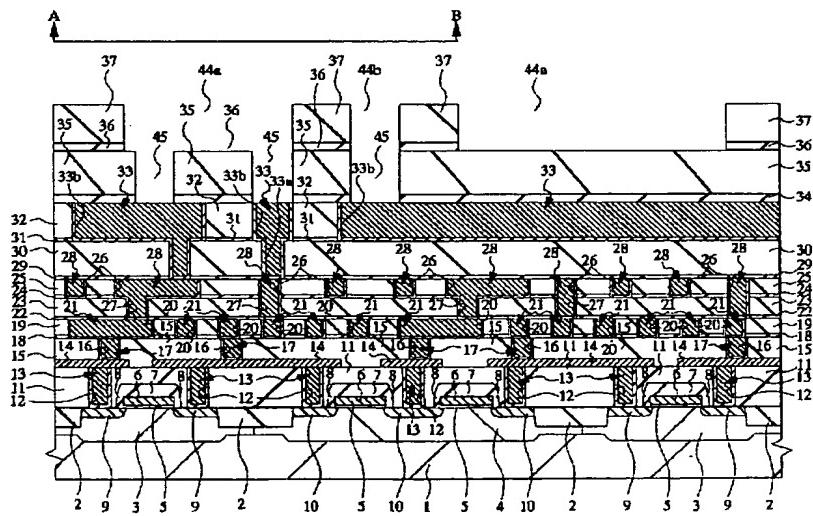
[図16]

图 16

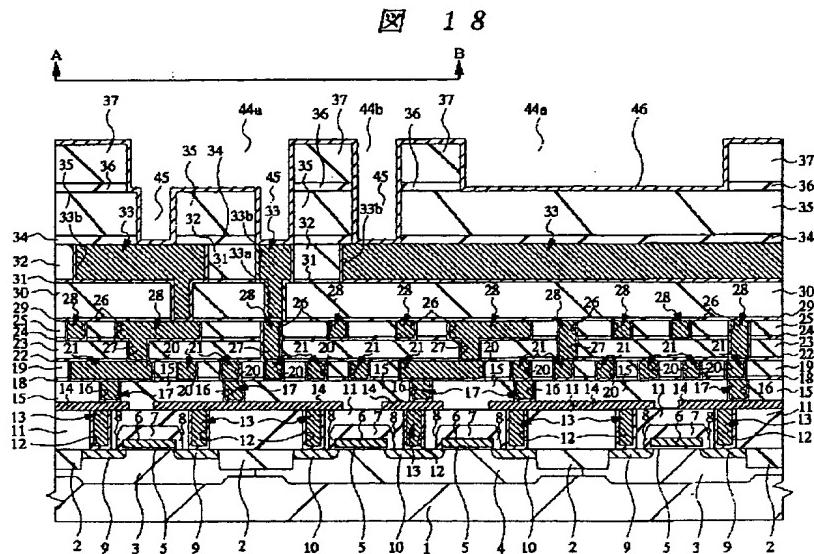


【図17】

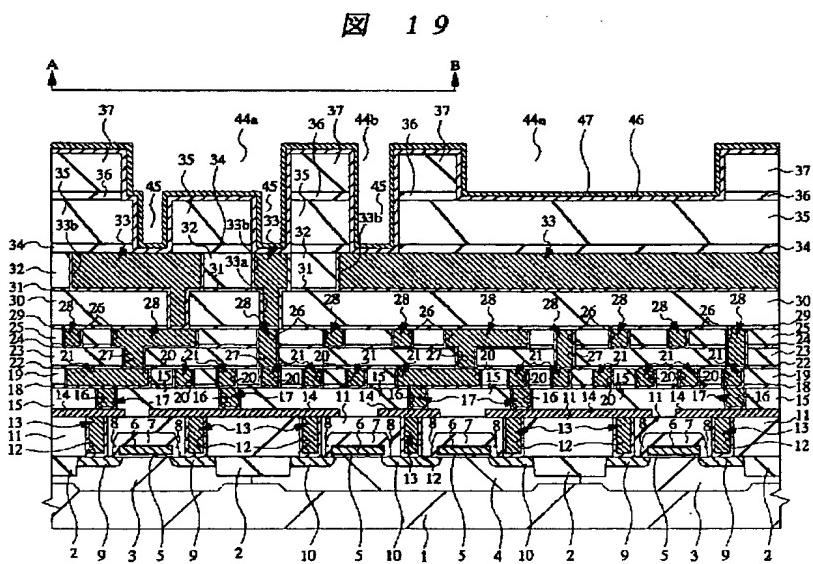
17



【図18】

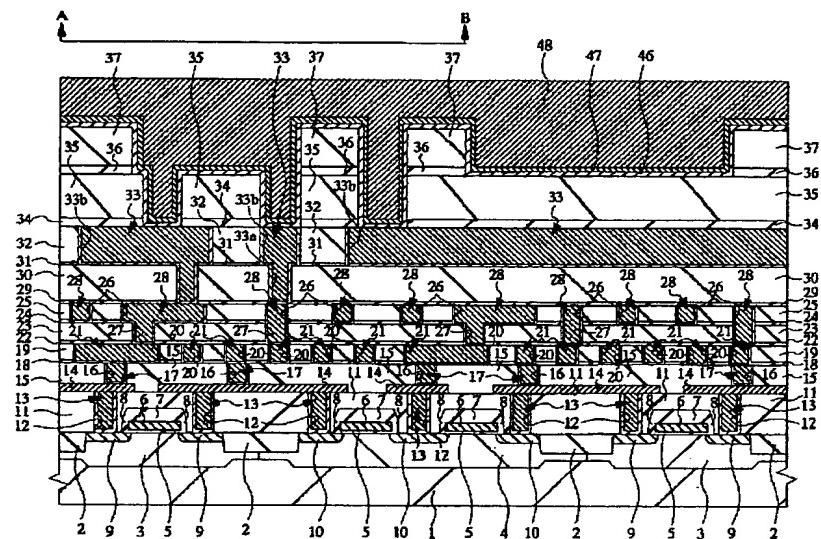


【図19】



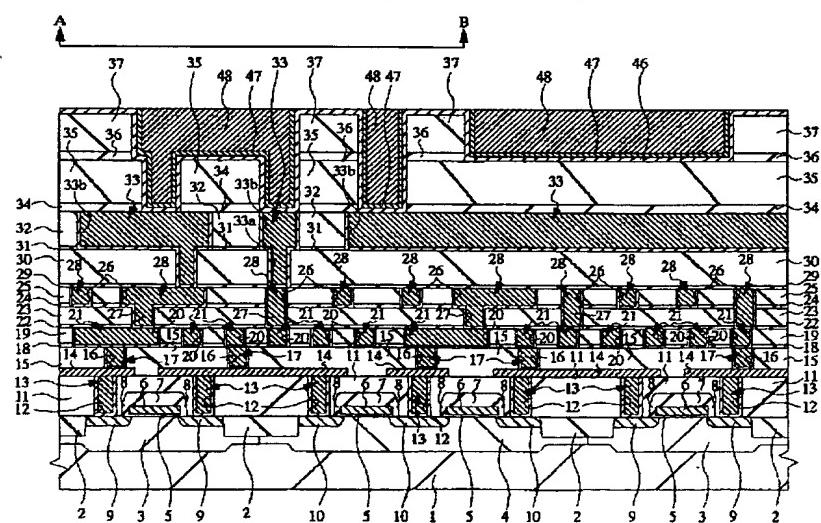
[図20]

20

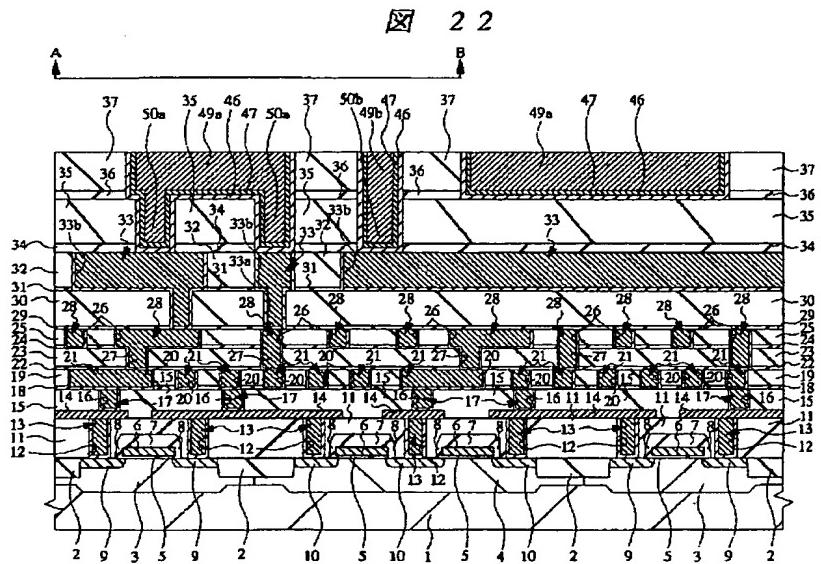


【図21】

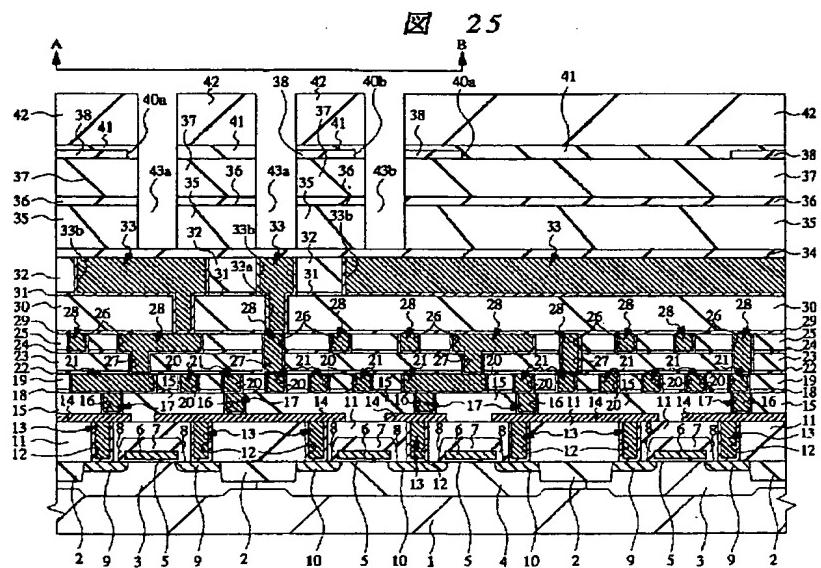
图 21



【図22】

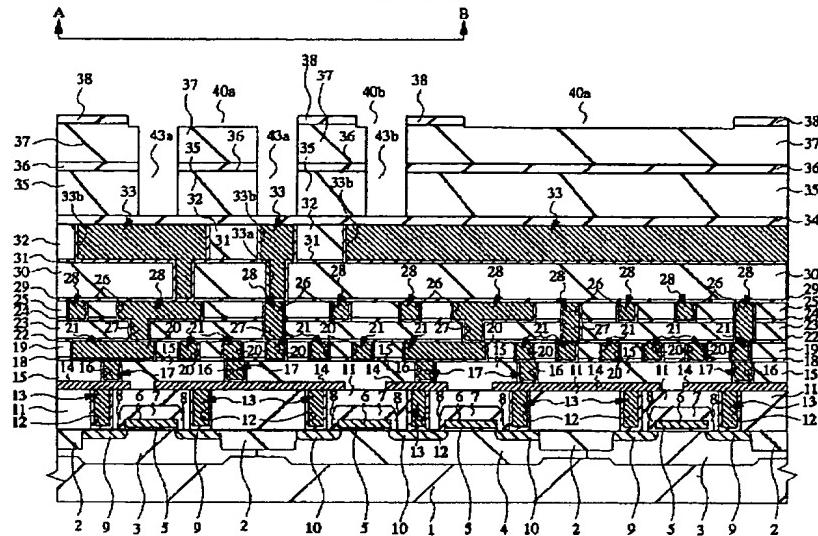


【図25】



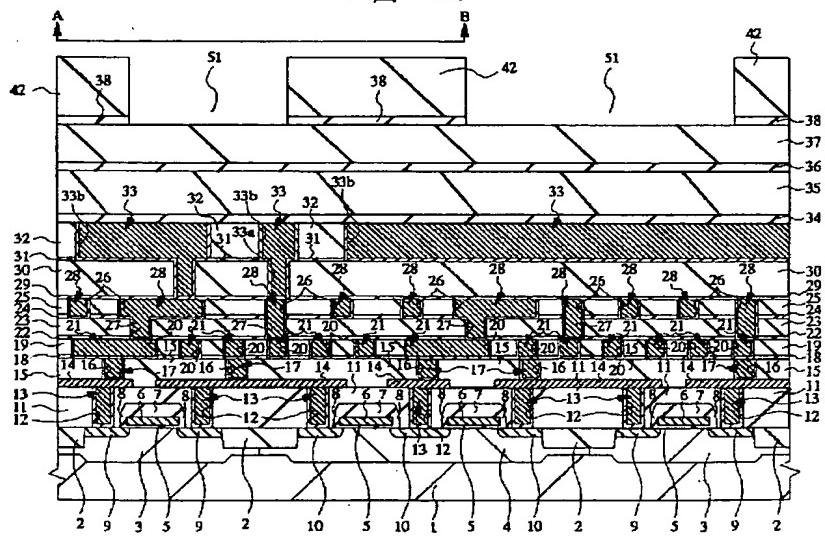
[図26]

图 26

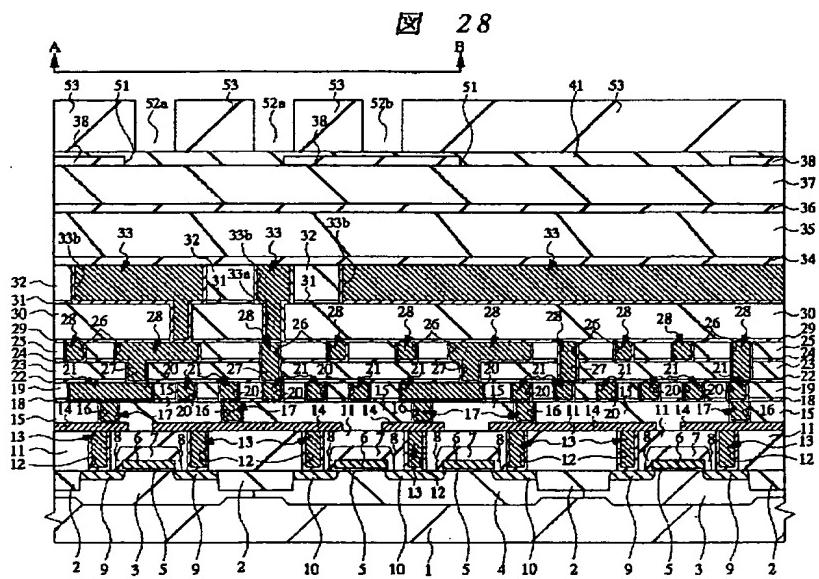


【図27】

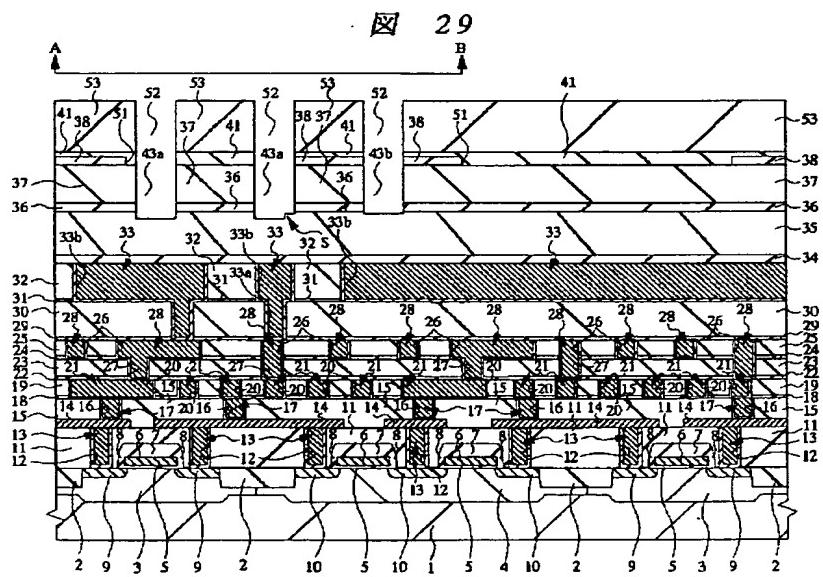
図 27



【図28】



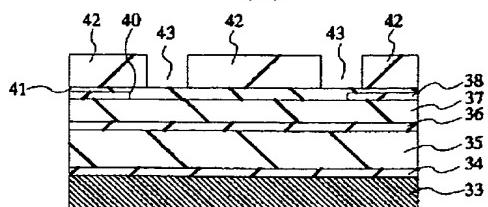
[図29]



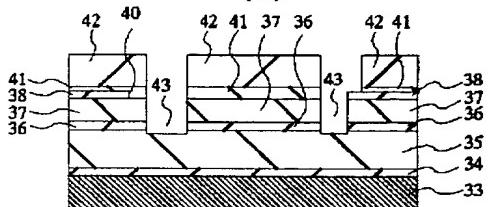
【図30】

図30

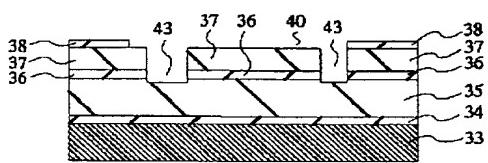
(a)



(b)

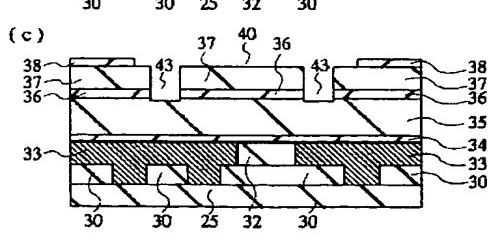
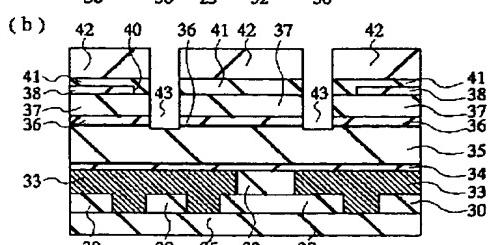
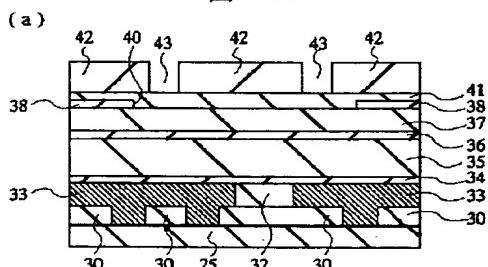


(c)



【図32】

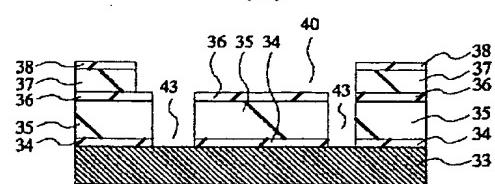
図32



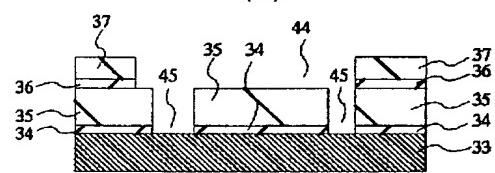
【図31】

図31

(d)



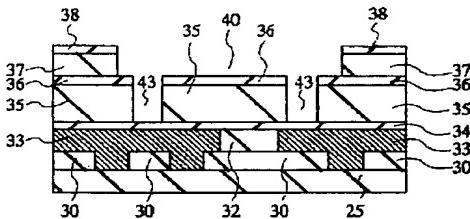
(e)



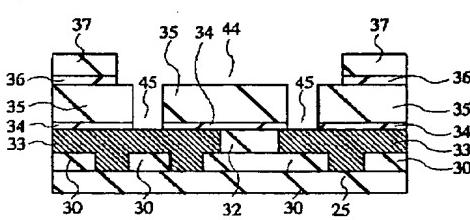
【図33】

図33

(d)

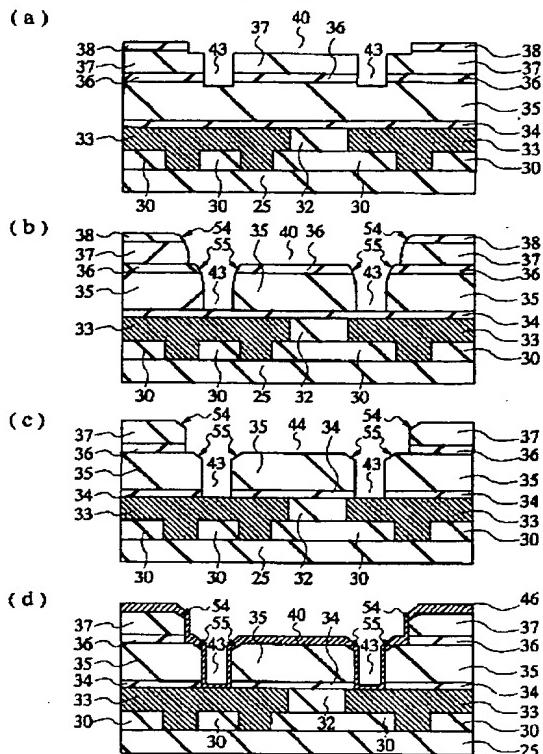


(e)



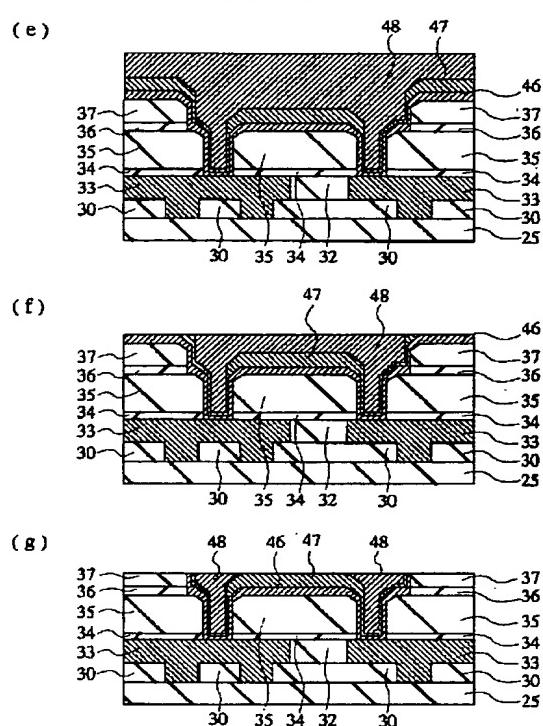
【図34】

図34



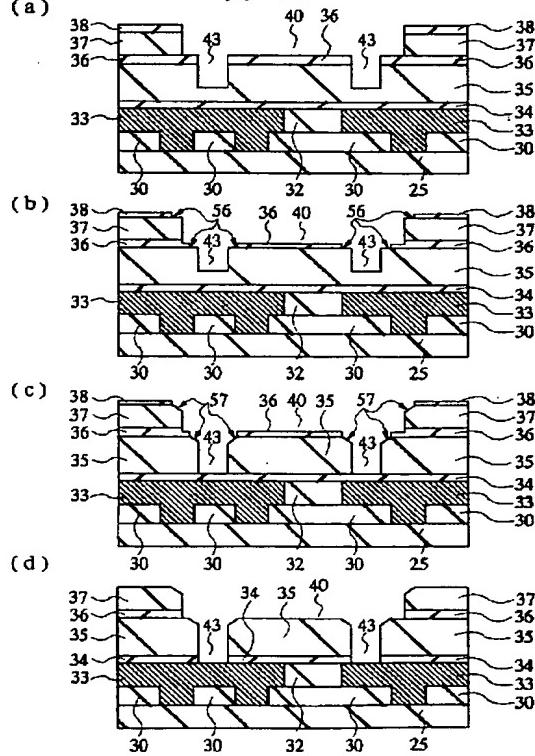
【図35】

図35



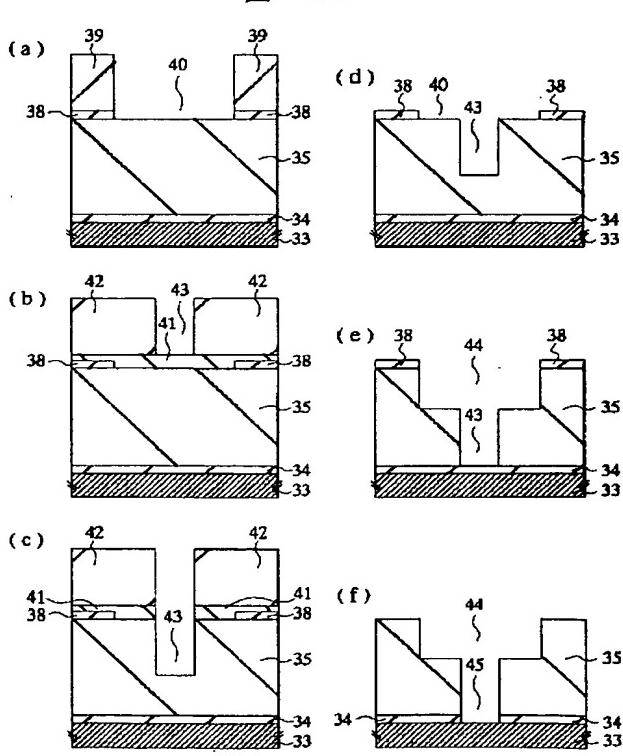
【図36】

図36



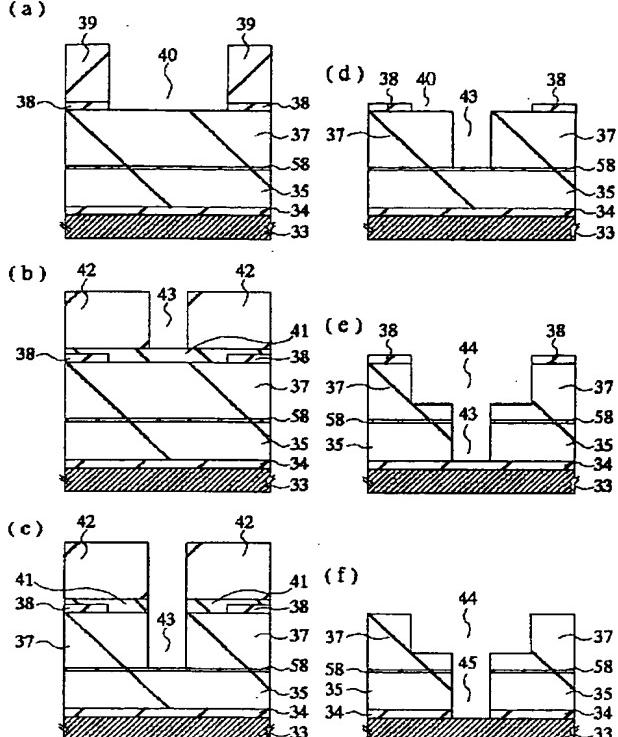
【図37】

図37



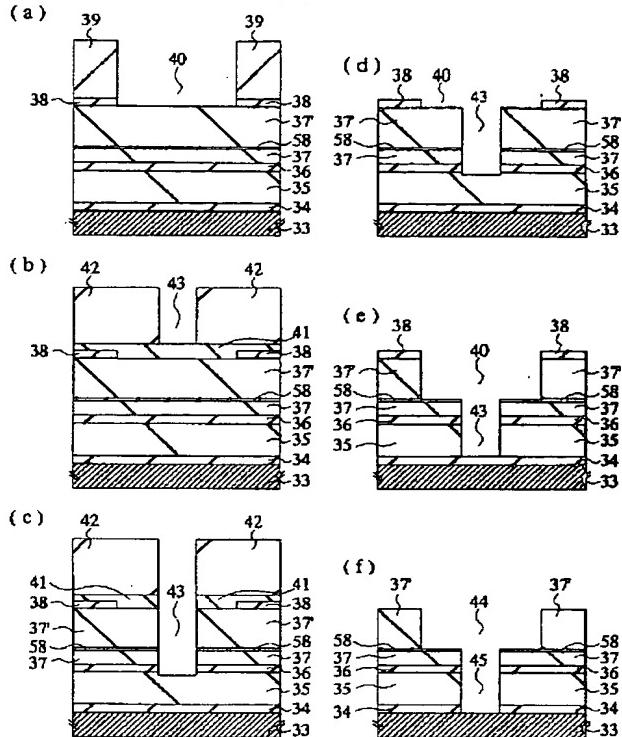
【図38】

图 38



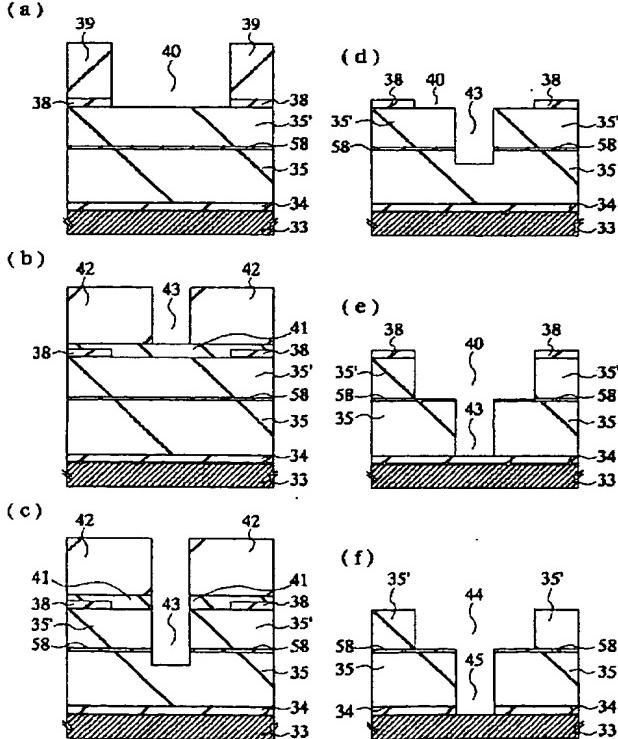
【図39】

☒ 39



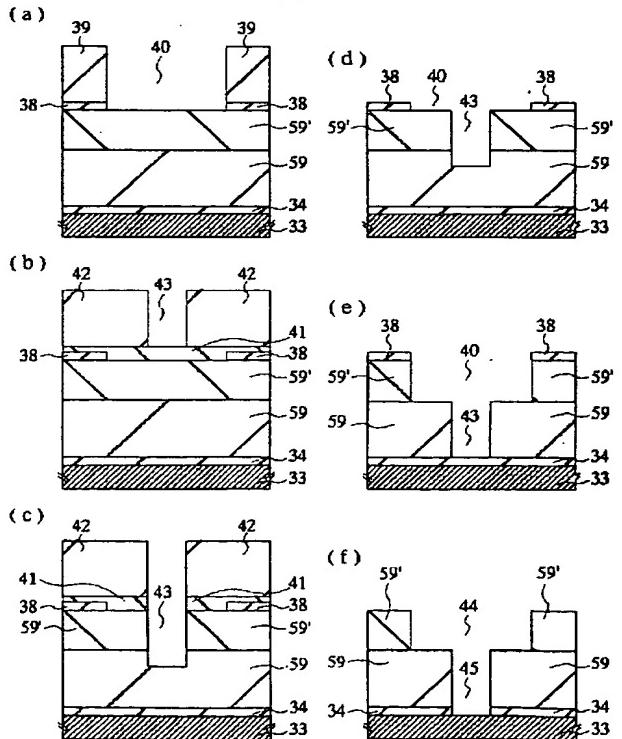
【図40】

図 40



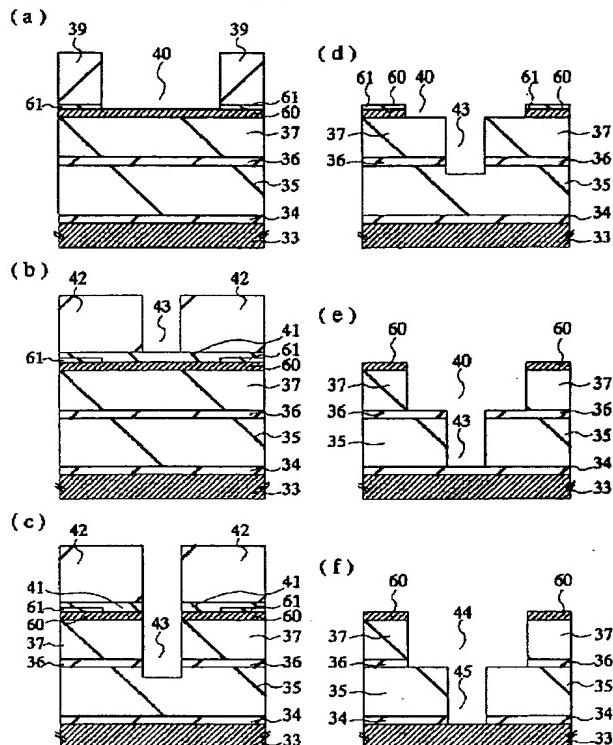
[図4-1]

图 41



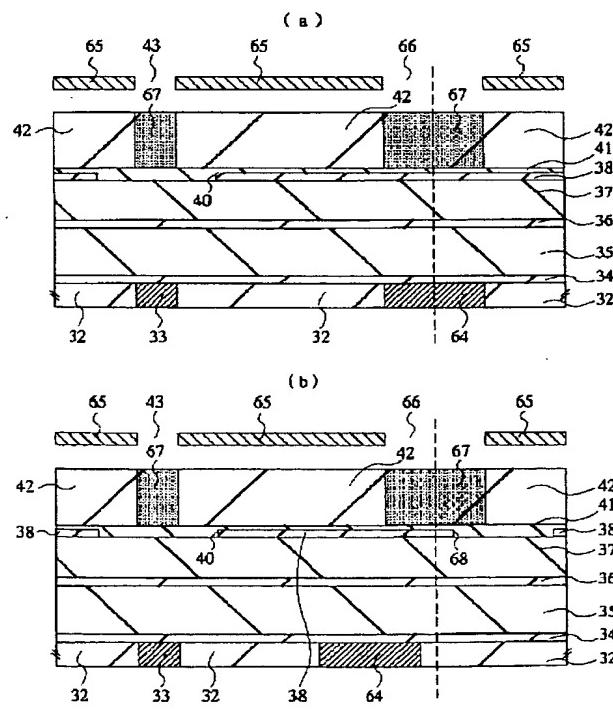
【図42】

図42



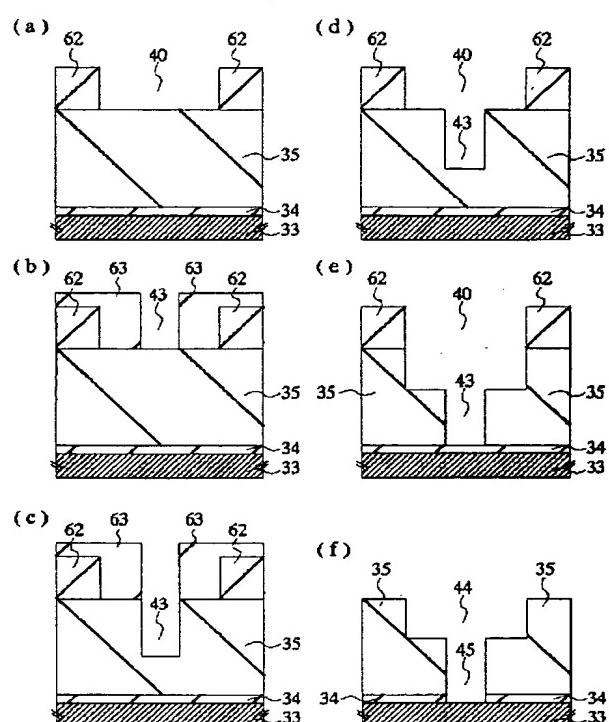
【図44】

図44



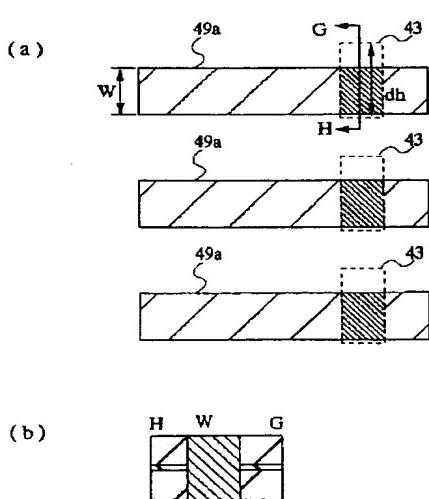
【図43】

図43

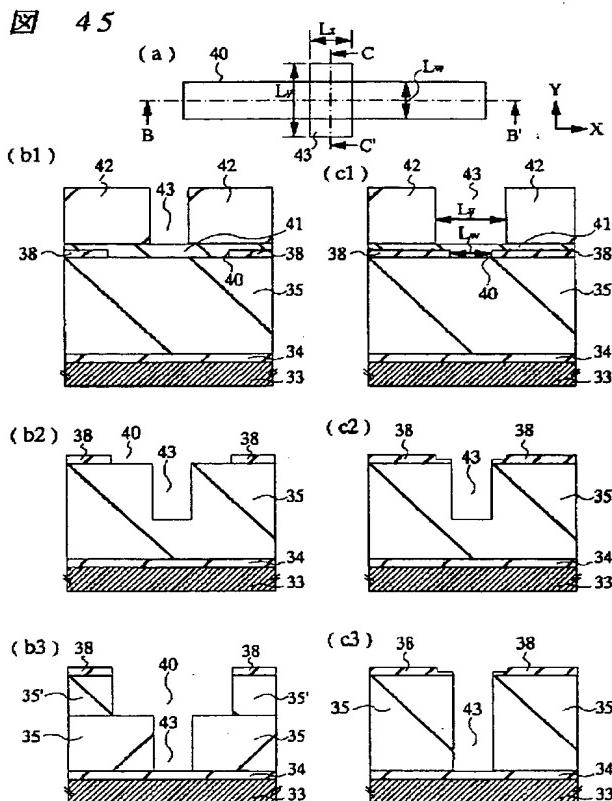


【図46】

図46



【図45】



フロントページの続き

(72)発明者 湯之上 隆

東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センタ内

(72)発明者 堀田 尚二

東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センタ内

(72)発明者 青木 英雄

東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センタ内

(72)発明者 大島 隆文

東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センタ内

(72)発明者 小林 伸好

東京都青梅市新町六丁目16番地の3 株式

会社日立製作所デバイス開発センタ内

F ターム(参考) 5F033 HH11 HH21 JJ01 KK11 KK33

MM02 NN06 NN07 PP15 PP26

QQ04 QQ11 QQ23 QQ37 QQ48

RR04 RR06 RR21 SS04 SS15

SS21 TT02